

(51)Int.Cl.  
H 03 K 19/20  
3/037

識別記号

F I  
H 03 K 19/20  
3/037マーク (参考)  
Z

審査請求 未請求 予備審査請求 有 (全 53 頁)

(21)出願番号 特願平9-538247  
 (86) (22)出願日 平成9年4月18日 (1997.4.18)  
 (85)翻訳文提出日 平成10年10月21日 (1998.10.21)  
 (86)国際出願番号 PCT/US97/06643  
 (87)国際公開番号 WO97/40497  
 (87)国際公開日 平成9年10月30日 (1997.10.30)  
 (31)優先権主張番号 635,794  
 (32)優先日 平成8年4月22日 (1996.4.22)  
 (33)優先権主張国 米国 (US)  
 (81)指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP

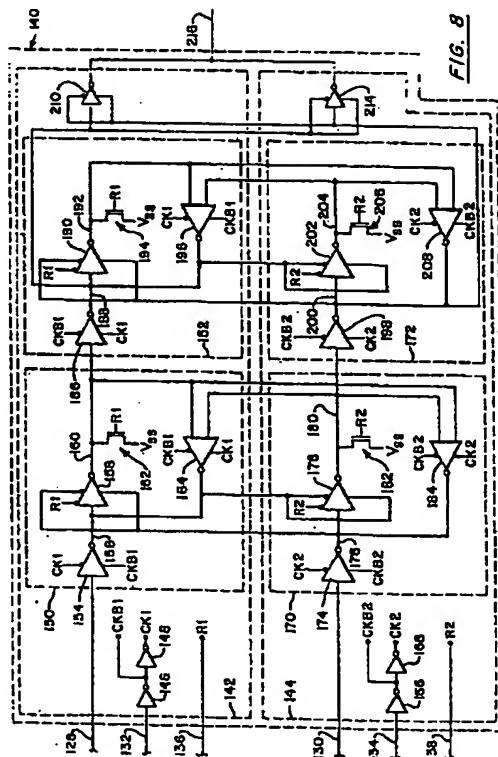
(71)出願人 ユナイテッド・テクノロジーズ・コーポレーション  
 アメリカ合衆国コネチカット州06096-1010・ワインザーロックス・ワンハミルトンロード・ハミルトンスタンダードディビジョン (番地なし)  
 (72)発明者 ラヒィ、マイケル・ディー  
 アメリカ合衆国コロラド州80920・コロラドスプリングス・チャペルヒルズドライブ2075  
 (74)代理人 弁理士 大島 陽一

最終頁に続く

(54)【発明の名称】 放射線環境に対して高信頼性の論理回路

## (57)【要約】

本発明に従って、デュアルメモリセルは、第1論理状態入力信号を受信し、かつ出力信号を与える第1のメモリセルを備え、さらに第2論理状態入力信号を受信し、かつ出力信号を備え、その第1及び第2のメモリセル、並びに第2のメモリセルは、さらに他のメモリセルから1つ或いはそれ以上の信号を受信し、かつ応答する。第1のメモリセルの出力信号及び第2のメモリセルの出力信号はさらに結合され、合成論理状態出力信号を与え、その信号が放射線環境における信頼性を改善する。



## 【特許請求の範囲】

1. 同一の論理状態をそれぞれ有する第1及び第2の論理状態入力信号を供給されるデュアルメモリセルであって、

前記第1の論理状態入力信号を受信し、かつ出力信号を与える第1のメモリセルと、

前記第2の論理状態入力信号を受信し、かつ出力信号を与える第2のメモリセルとを有し、前記第2のメモリセルがさらに、前記第1のメモリセルからの1つ或いはそれ以上の論理信号を受信し、かつ応答し、また前記第1のメモリセルがさらに、前記第2のメモリセルからの1つ或いはそれ以上の論理信号を受信し、かつ応答することを特徴とするデュアルメモリセル。

2. 前記第1のメモリセルの前記出力信号及び前記第2のメモリセルの前記出力信号がさらに、1つの論理状態出力信号を与えるために結合されることを特徴とする請求項1に記載のデュアルメモリセル。

3. 前記第1のメモリセルの前記出力信号及び前記第2のメモリセルの前記出力信号がさらに、1つの論理状態出力信号を与えるためにアナログ的に結合されることを特徴とする請求項2に記載のデュアルメモリセル。

4. 前記第1及び第2のメモリセルの前記出力信号が、能動的プルアップ及び能動的プルダウンを有する出力を備える論理ゲートにより与えられることを特徴とする請求項2に記載のデュアルメモリセル。

5. 前記第1及び第2のメモリセルがCMOS技術からなることを特徴とする請求項1に記載のデュアルメモリセル。

6. 前記第1のメモリセルの出力信号及び前記第2のメモリセルの出力信号のアナログ的な前記結合が、およそ500Ωより小さい抵抗を用いる電気的接続からなることを特徴とする請求項3に記載のデュアルメ

モリセル。

7. 前記第1のメモリセル及び前記第2のメモリセルが同一の論理回路からなることを特徴とする請求項1に記載のデュアルメモリセル。

8. 前記第1のメモリセル及び前記第2のメモリセルが、イオンが両方の部分

にS E Uを引き起こさないように物理的に分離されることを特徴とする請求項1に記載のデュアルメモリセル。

9. 前記第1のメモリセルの出力信号及び前記第2のメモリセルの出力信号のアナログ的な前記結合が、 $80 \text{ Me v c m}^2/\text{mg}$  以下のイオンエネルギーレベルのS E Uへの耐性を有する前記1つの合成出力信号を生成することを特徴とする請求項3に記載のデュアルメモリセル。

10. 前記第1のメモリセルの出力信号及び前記第2のメモリセルの出力信号のアナログ的な前記結合が、およそ1  $\Omega$  より小さい抵抗を有する直流通路の接続からなることを特徴とする請求項3に記載のデュアルメモリセル。

11. 前記第1及び第2のメモリセルのそれぞれが、前記2つのメモリセルからの前記対応する信号が互いに同じ論理状態でないときに、 $V_{SS}$  及び $V_{DD}$ の両方に対して高抵抗を与えるスリーステート出力を有する回路からなることを特徴とする請求項1に記載のデュアルメモリセル。

12. 供給される1つ或いはそれ以上の論理状態入力信号において選択された論理機能を実行し、1つ或いはそれ以上の合成論理出力信号を与えるための装置であって、

前記各論理状態入力信号に対して、一対のバッファされた論理状態信号を与えるために、前記各論理状態入力信号に対する信号調整回路を備える入力セクションと、

第1及び第2の部分を有する論理セクションと、

1つ或いはそれ以上の論理セクション出力信号のそれぞれを受信し、

1つ或いはそれ以上の合成論理出力信号を与える出力セクションとを有し、

前記第1及び第2の部分がそれぞれ、前記一対のバッファされた論理状態信号のそれぞれから1つの論理状態信号を受信し、さらに受信した前記論理状態信号において前記選択された論理機能を実行し、それにより1つ或いはそれ以上の出力信号を与え、また前記第1の部分は第1のメモリセルを有し、前記第2の部分は第2のメモリセルを有し、前記第1のメモリセルがさらに前記第2のメモリセルから1つ或いはそれ以上の論理信号を受信し、かつ応答し、また前記第2のメ

モリセルがさらに前記第1のメモリセルから1つ或いはそれ以上の論理信号を受信し、かつ応答し、前記第1の部分からの前記各出力信号が、前記第2の部分からの対応する前記出力信号の1つとアナログ的に結合され、1つ或いはそれ以上の前記論理セクション出力信号を与えることを特徴とする装置。

13. 前記論理セクションの前記第1及び第2の部分の前記出力信号が、能動的プルアップ及び能動的プルダウンを有する出力を備えた論理ゲートにより与えられることを特徴とする請求項12に記載の装置。

14. 前記論理セクションの前記第1及び第2の部分がCMOS技術からなることを特徴とする請求項12に記載の装置。

15. 前記第1部分の出力信号と前記第2部分の出力信号の前記アナログ的な結合が、およそ500Ωより小さい抵抗を有する電気的接続からなることを特徴とする請求項12に記載の装置。

16. 前記論理セクションの前記第1の部分及び第2の部分が、同一の論理回路からなることを特徴とする請求項12に記載の装置。

17. 前記論理セクションの前記第1の部分及び前記論理セクションの前記第2の部分が、イオンが両方の部分にSEUを引き起こすことがないように物理的に分離されていることを特徴とする請求項12に記載

の装置。

18. 前記出力セクションが、 $80 \text{ MeV cm}^2/\text{mg}$ 以下のイオンエネルギー レベルのSEUに対して耐性がある回路からなることを特徴とする請求項12に記載の装置。

19. 前記1つ或いはそれ以上の論理セクション出力信号が、 $80 \text{ MeV cm}^2/\text{mg}$ 以下のイオンエネルギー レベルのSEUに対して耐性があることを特徴とする請求項12に記載の装置。

20. 前記入力セクション、前記論理セクション、並びに前記出力セクションが同じ集積回路上にあることを特徴とする請求項12に記載の装置。

21. 前記入力セクションが、N個の入力信号のそれぞれに対して、前記一対のバッファされた信号を生成する一対の同一のバッファ段からなることを特徴と

する請求項1 2 に記載の装置。

2 2 . 前記各一对のバッファ段に対して、前記一对のバッファ段の1 つが、イオンが両方のバッファ段にS E Uを引き起こすことがないように、前記一对の他のバッファ段から物理的に分離されていることを特徴とする請求項1 2 に記載の装置。

2 3 . 前記第1 部分の出力信号と前記第2 部分の出力信号とのアナログ的な前記結合が、およそ1 Ωより小さい抵抗を有する直流通路的な電気的接続からなることを特徴とする請求項1 2 に記載の装置。

2 4 . ある出力を有する第1 のメモリセルとある出力を有する第2 のメモリセルとを接続し、耐放射線合成出力信号を与えるための方法であって、

前記第1 のメモリセルに、前記第2 のメモリセルからの1 つ或いはそれ以上の論理信号を与える過程と、

前記第2 のメモリセルに、前記第1 のメモリセルからの1 つ或いはそ

れ以上の論理信号を与える過程と、

前記第1 のメモリセルからの前記出力と前記第2 のメモリセルからの前記出力をアナログ的に結合し、耐放射線論理出力信号を与える過程とを有することを特徴とする方法。

## 【発明の詳細な説明】

## 放射線環境に対して高信頼性の論理回路

## 技術分野

本発明は半導体電子回路に関連し、詳細には半導体論理回路に関連する。

## 背景技術

单一事象反転( S E U ) とは、イオンが半導体構造体を通過し、その構造体内の重要な回路ノードに電荷を堆積する結果生じるものである。C M O S 論理回路では、これにより、意に反して論理状態が切り替わり、システム内に危機的な結果をもたらす危険性がある。記憶素子の場合には、主にS E Uはフィードバック経路内で問題となり、重要なノード上の雑音を増幅し、フィードバックすることにより、セルの論理状態を永続的に変化させてしまうことがある。

C O M S 論理回路における既知のS E Uに対する強化技術としては、冗長回路経路を使用するものがあり、記憶素子に対しては、交差接続トランジスタ或いはコンデンサを使用することが知られている。デュアル回路経路が冗長性を与え、投票機構( voting scheme ) を実装することにより S E Uの影響を減少させることができる。記憶素子に交差接続されたトランジスタ及びコンデンサを加えることにより、セルが誤りデータをラッチするタイミングを遅らせることができる。しかしながらこれらの各技術には短所がある。投票機構はデジタル論理を用いて、冗長回路を再結合し、それにより実際にはS E Uを増幅している。交差接続トランジスタ及びコンデンサを加えることにより、製造工程がより複雑になり、さらに全ての入力信号に対する応答速度が遅くなるために、動作

速度が低下する。

## 発明の開示

本発明の目的は、放射線環境においてより高い信頼性を有する論理回路アーキテクチャを実現することにある。

本発明の別の目的は、放射線環境においてより高い信頼性を有する種々のロジック製品用の回路を実現することにある。

本発明に従って、デュアルメモリセルは第1の論理状態入力信号を受信し、か

つ出力信号を与える第1のメモリセルと、さらに第2の論理状態入力信号を受信し、かつ出力信号を与える第2のメモリセルとを備え、第1及び第2のメモリセル、並びに第2のメモリセルがさらに他のメモリセルから1つ或いはそれ以上の論理信号を受信し、それに応答する。

さらに本発明に従って、第1のメモリセルの出力信号と第2のメモリセルの出力信号がさらに結合され、1つの合成論理状態出力信号を与える。

さらに本発明に基づく、選択された論理機能を実行するための装置は、1つ或いはそれ以上の論理状態入力信号を受信する入力セクションを備え、さらに各入力信号に対する一対のバッファされた論理状態信号を与え、そしてさらに第1の部分及び第2の部分を有する論理セクションを備えており、各論理セクションは、各バッファされた論理状態信号対から1つの論理状態信号を受信し、また各論理セクションは、受信した論理状態において選択された論理機能を実行し、それにより1つ或いはそれ以上の出力信号を与え、第1の部分は第1のメモリセルを備え、また第2の部分は第2のメモリセルを備え、第2のメモリセルはさらに第1のメモリセルからの1つ或いはそれ以上の論理信号を受信し、かつそれに応答し、第1の部分からの各出力信号は、第2の部分からの対応する

出力信号の1つとアナログ方式で結合され、1つ或いはそれ以上の論理セクション出力信号を与え、さらに各1つ或いはそれ以上の論理セクション出力信号を受信し、かつ1つ或いはそれ以上の合成論理出力信号を与える。

本発明は放射線環境においてより高い信頼性を有する論理回路を実現する。本発明はさらに、ダイサイズにはほとんど影響がなく、機能的な減少もない、放射線環境下でより高い信頼性を有する種々の製品用の回路を実現する。

本発明のここに記載した、或いは他の目的、特徴、並びに利点は、以下に詳細に記載する最良の実施の形態、添付の図面並びに請求の範囲の観点からより明らかになるであろう。

#### 図面の簡単な説明

第1図は、本発明の記載に用いられるNAND論理機能の概略図である。

第2図は、第1図のNAND論理機能において用いられるような本発明の最良

の実施の形態の概略図である。

第3 図は、第2 図の実施例において用いられる別の素子の概略図である。

第4 図は、第2 図の実施例において用いられる別の素子の概略図である。

第5 図は、本発明の記載において用いられるフリップフロップ論理機能の概略図である。

第6 図は、第5 図のフリップフロップの真理値表である。

第7 図は、第5 図のフリップフロップ論理機能において用いられるような本発明の最良の実施の形態の概略図である。

第8 図は、第7 図の実施例における1 つのセクションの概略図である。

第9 図は、第7 図の実施例において用いられる1 つの素子の概略図である。

第10 図は、第7 図の実施例において用いられる別の素子の概略図である。

第11 図は、第7 図の実施例において用いられる別の素子の概略図である。

第12 図は、第7 図の実施例において用いられる別の素子の概略図である。

発明を実施するために最良の形態

本発明の装置が、第1 図に示されるN A N D 論理機能を与える論理回路において用いるために、最良の実施の形態に関連して開示される。図面は概略のみを示し、物理的な細部まで描写することを意図していないことは、当業者には理解されよう。

第1 図では、選択された論理デバイスの従来技術の概略図において、2 入力N A N D 回路2 0 がライン2 2 上で論理信号A を、ライン2 4 上で論理信号B を受信し、ライン2 6 上にN A N D 論理出力信号Y を生成する。知られている通り、N A N D 回路2 0 の論理動作は、式 $Y = \text{NOT}(A \cdot B)$  と記載される。

第2 図では、第1 図のN A N D 回路2 0 についての本発明の最良の実施の形態において、ライン2 2 上で論理信号A 及びライン2 4 上で論理信号B が入力セクション2 8 においてそれぞれ受信される。ライン2 2 、2 4 上の各論理信号は、入力セクション2 8 内の一対の信号調整回路2 9 a 、2 9 b の関連する側に与えられる。以下に記載されるように、信号調整回路2 9 a 、2 9 b は同一である。回路2 9 a はダイオード3 0

を備え、それにより、下側電源電圧振幅 $V_{SS}$ より小さい振幅の論理信号Aに対し回路を保護し、またダイオード32を備え、それにより、上側電源電圧振幅 $V_{DD}$ より大きい振幅の論理信号Aに対して回路を保護する。最良の実施の形態では、 $V_{SS}$ はほぼ0Vであり、 $V_{DD}$ は4.5から5.5Vの範囲にある。最良の保護を与えるために、ダイオード30、32は、実際行われているように、物理的にライン22上の入力信号が受信される場所の近くに配置される。論理信号Aの発生源がNAND回路20と同じ集積回路に属する場合のように、ライン22上の入力信号Aが電源の振幅範囲を超えない場合には、2つダイオード30、32は必ずしも必要ではない。

回路29aはさらに直列抵抗33を備え、ダイオード30、32に電気的に接続され、信号が一对のバッファ段34、36に入力される。抵抗33は、ライン22に静電放電保護(ESD)を与える。バッファ段34、36はそれぞれ、ESD保護された信号を受信し、一对のバッファされ、冗長したA信号をライン38、40に与える。一对のバッファ段34、36は、その1つが故障した場合でももう1つのバッファからの論理信号を妨害しないような、独立の信号経路を表わす。さらにこの目的のために、最良の実施の形態では、一对のバッファ段34、36は、半導体構造体を通る1つのイオンの影響により、一对のバッファ段34、36の両方において单一事象反転(SEU)を引き起こさないように、通常よりさらに物理的に離れて配置される。

最良の実施の形態では、一对のバッファ34、36は、非反転バッファリングを行う同じ論理機能を実現し、同じタイプの論理ゲートからなるため、ライン38、40上の一対のバッファされたA信号は、論理状態及びタイミングにおいて互いに概ね同一になる。しかしながら、当業者には明らかなように、一对のバッファ段34、36の1つ或いは両方

とも、NAND回路20において、以下に記載される論理を、他の論理に適当に変更できるのであれば、非反転バッファリング以外の論理機能を設けてもよい。

最良の実施の形態では、各バッファ段34及び36は、それぞれカスケード接続の第1及び第2のインバータ42、44並びに46、48からなる。インバー

タは同一である。第1のインバータ42、46は論理信号をバッファし、反転する。第2のインバータは、ライン38、40上の一対のバッファされたA信号の論理状態を、ライン22上の入力信号の論理状態に戻す。

第3図は、インバータ42を示す回路であり、PチャネルMOSFET42a及びNチャネルMOSFET42bからなる。第1のインバータ42の入力端子(IN)は、PチャネルMOSFETのゲート42c及びNチャネルMOSFETのゲート42dに電気的に接続される。Pチャネルのソース42eは、V<sub>DD</sub>に接続され、Nチャネルのソース42fはV<sub>SS</sub>に接続される。PチャネルMOSFETのドレイン42gはNチャネルのドレイン42hに接続されており、ドレイン42hは第1のインバータ42に対する出力(OUT)として機能する。他のインバータ44、46、48は第1のインバータの回路と同様のトランジスタを用いた回路である。

第1のインバータ42の動作は以下のようになる。INにおける入力信号がハイ論理状態電圧であるとき、NチャネルMOSFET42bは「オン」する、すなわちドレインからソースへの抵抗が低くなり、PチャネルMOSFET42aは「オフ」する、すなわちドレインからソースへの抵抗が高くなる。出力では、これによりV<sub>SS</sub>源に対して低抵抗を生じ、V<sub>DD</sub>源に対して高抵抗を生じる。その結果は、出力(OUT)上には概ねV<sub>SS</sub>に等しい電圧が生じるため、ロー論理状態を表わす。IN

がロー論理状態電圧であるとき、PチャネルMOSFET42aは「オン」し、NチャネルMOSFET42bは「オフ」する。出力では、これによりV<sub>DD</sub>源に対して低抵抗を生じ、V<sub>SS</sub>源に対して高抵抗を生じる。その結果は、出力(OUT)上には概ねV<sub>DD</sub>に等しい電圧が生じるため、ハイ論理状態を表わす。

再び第2図において、ライン24上のB入力論理信号は、回路29aに関連して記載された回路と同様の信号調整回路29bにより受信される。2つのダイオード50、52は、下側電圧及び上側電圧の保護を与える。ライン24上の入力信号Bが電源の範囲を超えないような場合には、2つのダイオードは必ずしも必要ではない。直列抵抗53は、2つのダイオード50、52の後方に配置され、

ライン24上の入力信号Bにおける静電放電保護(ESD)を与える。ESD保護された入力信号は、その後一对のバッファ段54、56に送られ、一对のバッファされたB信号をライン58、60にそれぞれ与える。一对のバッファ段54、56の一方が故障した場合でも、もう一方からの論理信号を妨害しないであろう。最良の実施の形態では、一对のバッファ段54、56は、半導体構造体を通る1つのイオンの影響により、一对のバッファ段54、56の両方において单一事象反転(SEU)を引き起こさないように、通常よりさらに物理的に離れて配置される。

最良の実施の形態では、一对のバッファ54、56は、非反転バッファリングを行う同じ論理機能を実現し、同じタイプの論理ゲートからなるため、ライン58、60上の一対のバッファされたB信号は、論理状態及びタイミングにおいて互いに概ね同じになる。しかしながら、当業者には明らかなように、一对のバッファ段54、56の1つ或いは両方とも、NAND回路20において、以下に記載される論理を、他の論理に適当に変更できるのであれば、非反転バッファリング以外の論理機能

を設けてもよい。

最良の実施の形態では、各バッファ段54、56は、それぞれ第1及び第2のインバータ62、64並びに66、68からなる。第1のインバータ62、66はライン24上の入力信号Bをバッファし、反転する。第2のインバータ64、68はライン58、60上の一対のバッファされたB信号の論理状態を、ライン24上の入力信号Bの論理状態に戻す。これらの4つのインバータ62、64、66、68はすべて、第1のインバータ42の回路と同様のトランジスタを用いた回路である。NAND回路20はさらに、第1の部分72及び第2の部分74を有する論理セクション70を備える。第1及び第2の部分72、74は、一方の故障によりもう一方の論理を停止しないような、独立の信号経路を表わす。さらにこの目的のために、最良の実施の形態では、部分72、74は、半導体構造体を通る1つのイオンの影響により、部分72、74の両方において单一事象反転(SEU)を引き起こさないように、通常よりさらに物理的に離れて配置され

る。

各部分7 2 、7 4 は、回路の全体を通して論理機能、例えば最良の実施の形態におけるN A N D回路2 0 のN A N D論理機能を実現できるために必要な論理からなる。適切な論理は、回路の全体を通した論理機能に依存するばかりでなく、入力セクション2 8 、バッファ段3 4 、3 6 、5 4 、5 6 、並びに以下に記載される出力セクションにも論理的に影響する。最良の実施の形態では、入力セクション2 8 、バッファ段3 4 、3 6 、5 4 、5 6 、並びに出力セクションは、非反転バッファであり、従って論理的な影響はない。従って、論理セクション7 0 の第1 及び第2 の部分7 2 、7 4 に対する論理は、それぞれ、N A N Dゲート7 6 、7 8 のみか、或いは等価な論理を備え、N A N D機能を実現する必要がある。

N A N Dゲート7 6 の第1 の部分7 2 に対するトランジスタを用いた回路の概略図が第4 図に示される。ここで第4 図を参照すると、N A N Dゲート7 6 は、P チャネルM O S F E T の第1 の対7 6 d のゲート7 6 b 、7 6 c に電気的に接続される第1 の入力7 6 a を有する。P チャネルM O S F E T の第1 の対7 6 d は、V <sub>DD</sub>に電気的に接続されるソース7 6 e と、P チャネルM O S F E T の第2 の対7 6 h のドレイン7 6 g に電気的に接続されるドレイン7 6 f とを有する。P チャネルM O S F E T の第2 の対7 6 h のソース7 6 i はV <sub>DD</sub>に接続され、そのゲート7 6 j 、7 6 k は第2 の入力信号7 6 l に接続される。

P チャネルM O S F E T の両方の対7 6 d 、7 6 h のドレイン7 6 f 、7 6 g はさらにN チャネルM O S F E T の第1 の対7 6 n のドレイン7 6 m と、N A N Dゲート7 6 の出力7 6 p とに接続されている。N チャネルM O S F E T の第1 の対7 6 n は、第2 の入力7 6 l に接続されるゲート7 6 q 、7 6 r 備える。N チャネルM O S F E T の第1 の対7 6 n の各ソース7 6 s は、N チャネルM O S F E T の第2 の対7 6 u のドレイン7 6 t の異なる1 つに接続される。N チャネルM O S F E T の第2 の対7 6 u は、第1 の入力7 6 a に接続されるゲート7 6 v 及び7 6 w 、並びにV <sub>ss</sub>に接続されるソース7 6 x を有する。

N A N Dゲート7 6 の動作は以下のようになる。両方の入力がハイ論理状態電圧にあるとき、N チャネルM O S F E T の両方の対7 6 n 及び7 6 s は「オン」

、すなわち低抵抗になり、PチャネルMOSFETの両方の対76d及び76hは「オフ」、すなわち高抵抗になる。出力76pでは、これによりV<sub>DD</sub>源に対して高抵抗を生じ、V<sub>SS</sub>源に対して低抵抗を生じる。この結果出力電圧は概ねV<sub>SS</sub>になり、低論理状態を表わす。入力76a及び761の1つ或いはそれ以上が、低論理状態電圧にあるとき、ゲート76b及び76cに接続される入力を有するPチャネ

ルMOSFETの対76d及び76hは、「オン」になり、ゲートに接続される入力を有するNチャネルMOSFETの対76n及び76sは、「オフ」になる。出力76pでは、これによりV<sub>DD</sub>源に対して低抵抗を生じ、V<sub>SS</sub>源に対して高抵抗を生じる。この結果出力電圧は概ねV<sub>DD</sub>になり、高論理状態を表わす。

第2図を再び参照すると、第2の部分74のNANDゲート78は、同様のトランジスタを用いた回路構成(図示せず)を有し、第1の部分72のNANDゲート76の動作と同じ動作をする。第1及び第2の部分72、74はそれぞれの入力信号において動作し、第1及び第2の部分の出力信号を生成し、それがアナログ形態で加算、或いは合成され、ライン84上に論理セクション出力信号を生成する。ライン84上の論理セクション出力信号は、アナログ的に結合した電圧に対応する論理状態をとる。これはその各論理状態において論理演算を行うことにより信号を結合する合成方法とは対照をなしている。

最良の実施の形態において、NANDゲート76、78内のトランジスタは約500Ωから5000Ωの範囲内の「オン」抵抗を有する。NANDゲートは高振幅の出力電流を出力する必要がないため、これより低くする必要はない。従って、その接続に当たっては、500Ω以下の、好適には10Ω以下の電気抵抗を備える必要がある。最良の実施の形態では、1Ωより小さい、詳細には約0.01Ωの抵抗を有する直流的な電気的接続が用いられる。しかしながら、他の「オン」抵抗を有する他の適当なトランジスタ、並びに他の抵抗を有する他の接続が用いられてもよいことは当業者には理解されよう。

通常両方のNANDゲート76、78のトランジスタは、同様の「オン」状態及び「オフ」状態となる。従って、第1及び第2の部分からライン84上の論理

セクション出力信号へ与えられる電圧は、論理ローに

相当する概ね  $V_{SS}$  であるか、或いは論理ハイに相当する  $V_{DD}$  である。

統計的には、ある与えられた時間に 1 つのトランジスタのみが S E U を被ることになる。こうして、1 つのイオンが半導体中を通過するとき、論理セクション 70 の 1 つの部分 72、74 が、NAND ゲート 76、78 内のトランジスタの 1 つにおいて S E U を被ることがある。そのトランジスタは、「オン」から「オフ」に、或いは「オフ」から「オン」に状態が変化するかもしれない。しかしながら、影響を受けた部分からの出力が、上述のように、影響を受けない部分の出力とアナログ形式で結合されるため、ライン 84 上の論理セクション出力信号電圧における任意の変化は小さい。従って、S E U に対する電圧への影響は減少、すなわち弱められる。設計されたイオンエネルギーが  $80 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  以下では、ライン 84 上の論理セクション出力信号が間違った論理状態に遷移するようになるには、イオンのエネルギーが不十分である。こうしてライン 84 上の論理セクション出力信号は、S E U に対して正確な論理状態のままである。典型的な S E U は約 20 nsec の間持続し、その後 S E U を被ったトランジスタは、前の論理状態に復帰する。出力部分のコンデンサは、以下に示されるように、ライン 84 上の論理セクション出力信号内の小さな電圧変化をさらにフィルタリングする。

本発明と比較すると、他のアプローチは、投票段 (voting stage) を使用する場合があり、最初に投票段に先行して、影響を受けた信号をその回路が有する論理状態に変換し、その後投票段において S E U の影響を除去しようとするために、S E U の影響を增幅してしまう。これらの他のアプローチは、投票段を必要とし、また本発明のような 2 系統の信号ではなく 3 系統の信号を必要とすることが多いので、より多くのゲートも必要となる。

本アプローチは、出力段において能動的なプルアップ及びプルダウン

を有する、論理ゲートからの論理信号を結合するための典型的な方法ではないことを理解されたい。例えば、オープンコレクタ TTL ゲートがワイヤード AND

されることがあるが、能動プルアップT T L ゲートをワイヤード AND することは、1 つのゲート出力がハイで、他のゲート出力がローである場合に生じる高電力損により禁止される。同様にE C L 論理では、ゲートがワイヤード OR があることがあるが、E C L 出力段は、能動プルアップのみを有し、能動プルダウンを有さない。しかしながら、本発明では、各C M O S ゲートの出力は、能動プルアップ及び能動プルダウンのいずれも有している。

さらに、論理ゲートを保存する一方で、標準的な論理機能を実装しようとする上記T T L 及びE C L 技術と異なり、本発明の加算技術は、標準的な論理機能として動作しない。実際に、ここでの加算は、概ね同様の状態とタイミングにはない論理信号を結合するために用いるべきではない。なぜならその加算が通常の論理結合を実現しないためである。しかしながら、概ね同様の信号を結合するための手段が設けられ、信号の1 つにおけるS E U 不具合があつても、結合された信号は不具合を起こさない。

ライン8 4 上の論理セクション出力信号は、出力セクション8 6 に送られる。図示されないがライン8 4 上に接続コンデンサが設けられ、論理セクション出力信号に対して、さらにいくらかのフィルタリングを行なう。出力セクション8 6 はさらに、信号のバッファリングを行うために一対のインバータ8 8 、9 0 を備える。一対のインバータ8 8 、9 0 は、トランジスタが、それ自体がS E U を被る可能性を減少させるために大きい点を除いて、A 入力信号バッファ段3 4 の第1 のインバータ4 2 と同様である。大きく、強いトランジスタは、入力イオンによりもたらされる基板を通る電荷を集合体として考慮することによりS E U に抵抗する能力を向上することができる。一対のインバータ8 8 、9 0 は、ライン2 6 上の出力信号Y に接続されることがある付加的な論理回路を駆動するための所定の能力を与えるためにもより大きくされる。出力セクションはさらに一対のダイオードを備え、低電圧及び過電圧の損傷から保護される。

本発明の最良の形態は、N A N D ゲート7 6 、7 8 からの出力を結合することによりライン8 4 上に論理セクション出力信号を生成するが、他のトランジスタ構成でもよいことは当業者には理解されよう。例えば、接続されるトランジスタ

構成は、インバータにおいて用いられるタイプのものからなることもできる。

最良の実施の形態では、論理セクションが、フリップフロップのようなシーケンスタイプの論理を実現しようとする場合には、さらにS E U耐性を確実するために付加的な機構が組み込まれる。本発明のこれらの付加的な機構は、第5図に表わされるDタイプフリップフロップ( Dフリップフロップ) 論理機能を実現する論理回路に用いるために、最良の実施の形態に関連して記載される。

第5図を参照すると、選択された論理デバイスの従来技術の概略図において、フリップフロップ100はD入力信号102、ライン104上のクロック信号104、並びにライン106上の非同期リセット信号を受信し、ライン108上のQ出力信号を生成する。Dフリップフロップ100の機能は、クロック信号ライン104上に次の立ち上がりエッジが入る際に、D入力信号ライン102上の論理状態をQ出力信号ラインに転送することである。ここで第6図において、真理値表110に、フリップフロップ100の動作がより完全に詳述される。1行目に示されるように、Q出力信号は、リセット信号がハイ論理状態であるときには、強制的にロー論理状態に固定される。2行目及び3行目114、116

は、リセットラインがロー論理状態であれば、クロックライン上に立ち上がりエッジが入力された場合、Q出力信号は、D入力信号の論理状態に移行するということを示す。4行目に示されるように、クロックラインがロー論理状態にあるとき、Q出力信号は一定に保持される。

ここで第7図を参照すると、第5図のフリップフロップ論理機能において用いられるような本発明の最良の実施の形態のブロック図において、ライン102においてD入力信号、ライン104においてクロック入力信号並びにライン106においてリセット信号が入力セクション120に与えられる。入力セクションは、3つの信号調整回路122、124並びに126を備え、各調整回路が3つの入力信号ライン102、104並びに106の別々の信号を受信する。3つの各調整回路は、第2図に関連して図示され、かつ記載された、信号調整回路29aに同一であり、ライン128、130上に一対のバッファされたD信号を、ライン132、134上の二対のバッファされたクロック信号を、さらにライン13

6、138 上に一対のバッファされたリセット信号を生成する。

最良の実施の形態では、各一対のバッファされた信号における両方の信号は、互いに同じ論理状態でなければならない。すなわちライン128、130 上のバッファされたD信号は互いに同じ論理状態であり、ライン132、134 上のバッファされたクロック信号は互いに同じ論理状態であり、ライン136、138 上のバッファされたリセット信号は互いに同じ論理状態でなければならない。しかしながら、信号を一致させる必要がない適当な他の実施例が用いられてもよいというこは当業者には理解されよう。

フリップフロップ回路100は、さらに論理セクション140を備えており、そのための概略回路図が第8図に示される。ここで第8図では、論理セクション140は、第1の部分142及び第2の部分144を備

え、それぞれがライン128、130、132、134、136並びに138において、D、クロック並びにリセットの各バッファ信号対からの1つの信号を受信する。最良の実施の形態では、部分142、144は、半導体構造体を通る1つのイオンの影響により、部分142、144の両方にSEUが生じることがないように、通常よりさらに物理的に離れて配置される。

第1の部分142は、ライン132上でバッファされたクロック信号を受信し、インバータ146に送り、CKB1信号が生成され、その信号は部分142内の至る所に供給される。CKB1信号は、インバータ148により受信され、CK1信号が生成され、その信号も第1の部分142内の至る所に供給される。第1の部分142は、ライン136上でバッファされたリセット信号(R1)を受信し、第1の部分内の至る所に供給する。

第1の部分142はさらに、マスタースレーブメモリセル150、152を備える。マスタメモリセル150は、ライン128上でバッファされたD信号を受信し、クロックトインバータ154に供給する。第9図はクロックトインバータ154に対する回路であり、クロックトインバータは、V<sub>DD</sub>に接続されるソース154c及び第2のPチャネルMOSFET154fのソース154eに接続されるドレイン154dを有する第1のPチャネルMOSFET154bのゲート

154a に入力を供給される。第2のPチャネルMOSFET 154f のゲート 154g は、CK1 信号を供給され、ドレイン 154h は第1のNチャネルMOSFET 154j のドレイン 154i と出力との両方に接続される。第1のNチャネルMOSFET 154j のゲート 154k は、CKB1 信号を供給され、ソース 154m は第2のNチャネルMOSFET 154p のドレイン 154n に接続される。第2のNチャネルMOSFET 1

54p は、ゲート 154q に入力信号を供給され、ソース 154r で  $V_{ss}$  に接続される。

クロックトインバータ 154 の動作は以下のようになる。CK1 信号がハイ論理状態電圧にあるとき、CKB1 信号はロー論理状態電圧にあり、第2のPチャネルMOSFET 154f と第1のNチャネルMOSFET 154j は共に「オフ」、すなわち高抵抗である。この条件下では、クロックトインバータ 154 の出力は、入力信号の論理状態に関係なく、 $V_{ss}$  及び  $V_{DD}$  の両方に対して高抵抗を有する。

CK1 信号がロー論理状態電圧にあり、CKB1 がハイ論理状態電圧にあるとき、第2のPチャネルMOSFET 154f 及び第1のNチャネルMOSFET 154j はいずれも「オン」、すなわち低抵抗になる。この条件下では、クロックトインバータ 154 は入力に関して反転された出力を与える。入力がロー論理状態電圧にあるとき、第1のPチャネルMOSFET 154b は「オン」し、第2のNチャネルMOSFET 154p は「オフ」するため、出力上に高電圧、すなわち概ね  $V_{DD}$  を生成し、ハイ論理状態を表わす。入力がハイ論理状態電圧にあるとき、第1のPチャネルMOSFET 154b は「オフ」し、第2のNチャネルMOSFET 154p は「オン」するため、出力上に低電圧、すなわち概ね  $V_{ss}$  を生成し、ロー論理状態を表わす。

再び第8図を参照すると、ライン 156 上のクロックトインバータ 154 の出力は、3入力3ステートインバータ 158 に入力される。第10図は、3入力3ステートインバータ 158 に対する回路であり、インバータ 158 は、 $V_{DD}$  に接続されるソース 158c 及び第2のPチャネルMOSFET 158f のソース 1

58eに接続されるドレイン155dを有する第1のPチャネルMOSFET158bのゲート158aにバッファされたリセット信号(R1)を供給する。第2のPチャネルM

OSFET158fのゲート158gは、第2の入力信号、入力2を供給され、ドレイン158hは、第3のPチャネルMOSFET158jのソース158iに接続される。第3のPチャネルMOSFET158jのゲート158kは、第1の入力信号、入力1を供給され、そのドレイン158mは、第1のNチャネルMOSFET158pのドレイン158nと出力との両方に接続される。第1のNチャネルMOSFET158pは、第1の入力信号、入力1を供給され、そのソース158rは第2のNチャネルMOSFET158tのドレイン158sに接続される。第2のNチャネルMOSFET158tは、ゲート158uにおいて第2の入力信号、入力2を供給され、ソース158vにおいて $V_{ss}$ に接続される。

3入力3ステートインバータ158の動作は以下のようになる。バッファされたリセット信号(R1)が、ハイ論理状態電圧にあるとき、第1のPチャネルMOSFET158bは「オフ」する。もし入力1及び入力2のいずれもハイ論理状態電圧にあるなら、第2及び第3のPチャネルMOSFET158f、158jは「オフ」し、第1及び第2のNチャネルMOSFET158p、158tは「オン」し、3入力3ステートインバータ158の出力は概ね $V_{ss}$ になる。もし入力1及び入力2がいずれもハイ論理状態電圧にないなら、そのとき3入力3ステートインバータ158の出力は $V_{ss}$ 及び $V_{dd}$ のいずれに対しても高抵抗になるであろう。

バッファされたリセット信号(R1)がロー論理状態電圧にあるとき、第1のPチャネルMOSFET158bは「オン」する。もし入力1及び入力2のいずれもロー論理状態電圧にあるなら、第2及び第3のPチャネルMOSFET158f、158jは「オン」し、第1及び第2のNチャネルMOSFET158p、158tは「オフ」し、3入力3ス

テートインバータ158の出力は概ね $V_{DD}$ になる。もし入力1及び入力2がいずれもハイ論理状態電圧にあるなら、そのとき第2及び第3のPチャネルMOSFET158f、158jは「オフ」し、第1及び第2のNチャネルMOSFET158p、158tは「オン」し、3入力3ステートインバータ158の出力は $V_{SS}$ になる。入力1及び入力2が互いに同じ論理状態でないなら、そのとき3入力3ステートインバータ158の出力は $V_{SS}$ 及び $V_{DD}$ のいずれに対しても高抵抗になるであろう。

再び第8図を参照すると、3入力3ステートインバータ158の出力は、ライン160においてNチャネルMOSFET162のドレインに供給される。NチャネルMOSFET162のゲートはバッファされたリセット信号(R1)を供給され、ソースは、 $V_{SS}$ に接続される。バッファされたリセット信号(R1)がハイレベル論理電圧にあるとき、NチャネルMOSFET162は「オン」し、ライン160上の信号は強制的に概ね $V_{SS}$ ボルトに固定される。そうでない場合には、NチャネルMOSFET162は「オフ」し、何ら影響を与えない。

またライン160の信号は、クロックトデュアル入力インバータ164の入力に供給される。第11図は、クロックトデュアル入力インバータ164の回路図であり、 $V_{DD}$ に接続されるソースと第2のPチャネルMOSFET164fのソース164eに接続されるドレイン164dとを有する第1のPチャネルMOSFET164bのゲート164aに、第2の入力信号、入力2が供給される。第2のPチャネルMOSFET164fのゲート164gは、第1の入力信号、入力1を供給され、ドレイン164hは、第3のPチャネルMOSFET164jのソース164iに接続される。第3のPチャネルMOSFET164jのゲート164kは、CKB1を供給され、ドレイン164mは、第1のNチャネルMOSFET164pのドレイン164n及び出力の両方に接続さ

れる。第1のNチャネルMOSFET164pのゲート164qはCK1信号を供給され、ソース164rは、第2のNチャネルMOSFET164tのドレイン164sに接続される。第2のNチャネルMOSFET164tは、ゲート164uにおいて、第1の入力信号、入力1を供給され、ソース164vは第3のN

チャネルMOSFET164xのドレイン164wに接続される。第3のNチャネルMOSFET164xはゲート164yにおいて第2の入力信号、入力2を供給され、ソース164zはV<sub>ss</sub>に接続される。

クロックトデュアル入力インバータ164の動作は以下のようになる。CKB1がハイ論理状態電圧にあり、かつCK1がロー論理状態電圧にあるときには、第3のPチャネルMOSFET16j及び第1のNチャネルMOSFET164pはいずれも「オフ」し、クロックトデュアル入力インバータ164の出力は、V<sub>ss</sub>及びV<sub>DD</sub>のいずれに対しても高抵抗を有する。

CKB1がロー論理状態電圧にあり、かつCK1がハイ論理状態電圧にあるとき、第3のPチャネルMOSFET16j及び第1のNチャネルMOSFET164pはいずれも「オン」する。もし入力1及び2がいずれもロー論理状態電圧にあるなら、第1及び第2のPチャネルMOSFET164b、164fは「オン」し、第2及び第3のNチャネルMOSFET164t、164xは「オフ」し、クロックトデュアル入力インバータ164の出力は、概ねV<sub>DD</sub>になる。もし入力1及び2がいずれもハイ論理状態電圧にあるなら、第1及び第2のPチャネルMOSFET164b、164fは「オフ」し、第2及び第3のNチャネルMOSFET164f、164xは「オン」し、クロックトデュアル入力インバータ164の出力は、概ねV<sub>ss</sub>になる。もし入力1及び入力2が互いに同一の論理状態でないなら、そのときクロックトデュアル入力インバータ164の出力は、V<sub>ss</sub>及びV<sub>DD</sub>のいずれに対しても高抵抗を有する。もし入力1及び入力2が互いに同一の論理状態でないなら、そのときクロックトデュアル入力インバータ164の出力は、V<sub>ss</sub>及びV<sub>DD</sub>のいずれに対しても高抵抗を有する。もし入力1及び入力2が互いに同一の論理状態でないなら、そのときクロックトデュアル入力インバータ164の出力は、V<sub>ss</sub>及びV<sub>DD</sub>のいずれに対しても高抵抗を有する。

再び第8図を参照すると、クロックトデュアル入力インバータ164の出力はフィードバックされ、ライン156の3入力スリーステートインバータ158の入力に接続される。

論理セクションの第2の部分は、第1の部分142に対して上述された回路と同様に回路を有する。第2の部分144は、ライン134においてバッファされたクロック信号を受信し、インバータ166にその信号を供給し、そこでCKB2が生成され、第2の部分144の至る所に供給される。CKB2信号はインバータ168により受信され、そこでCK2信号が生成され、それも第2の部分1

44 の至る所に供給される。第2 の部分144 は、ライン138においてバッファされたリセット信号( R2 )を受信し、その信号を第2 の部分の至る所に供給する。

さらに第2 の部分144 は、マスタ及びスレーブメモリセル170、172を備える。マスタメモリセル170 は、ライン130においてバッファされたD信号を受信し、クロックトインバータ174 にその信号を供給する。クロックトインバータ174 は、CK1 とCKB1 の代わりにCK2 とCKB2 を供給される点を除いて、第9 図に関連して図示及び記載されたクロックトインバータ154 と同一の回路及び動作を有する。ライン176 のクロックトインバータ174 の出力は、3 入力スリーステートインバータ178 に入力される。3 入力スリーステートインバータ178 は、R1 の代わりにR2 を供給される点を除いて、第10 図に関連して図示及び記載された3 入力スリーステートインバータ158 と同一の回路及び動作を有する。

3 入力スリーステートインバータ178 の出力は、ライン180においてNチャネルMOSFET182 のドレインに供給される。NチャネルMOSFET182 のゲートは、バッファされたリセット信号( R2 )

を供給され、ソースはV<sub>ss</sub>に接続される。バッファされたリセット信号( R2 )が、ハイ論理状態電圧にあるとき、NチャネルMOSFET182 は「オン」し、ライン180 の信号は強制的に概ねV<sub>ss</sub>ボルトに固定される。そうでない場合には、NチャネルMOSFET182 は「オフ」し、何ら影響を与えない。

またライン160 の信号は、クロックトデュアル入力インバータ184 の入力にも供給される。クロックトデュアル入力インバータ184 は、CK1 とCKB1 の代わりにCK2 とCKB2 を供給される点を除いて、第11 図に関連して図示及び記載されたクロックトデュアル入力インバータ164 と同一の回路及び動作を有する。クロックトデュアル入力インバータ184 の出力はフィードバックされ、ライン176 において3 入力スリーステートインバータ178 の入力に接続される。

第1 及び第2 の部分142 、144 のマスタメモリセル150 、170 は、相

互に接続される、すなわち交差結線( cross strapped) され、S E U 耐性を有するデュアルメモリセルを形成する。ライン1 7 6 の第2の部分1 4 4 の信号は、第1の部分1 4 2 の3入力スリーステートインバータ1 5 8 に対する入力となる。同様に、ライン1 5 6 の第1の部分1 4 2 の信号は、第2の部分1 4 4 の3入力スリーステートインバータ1 7 8 に対する入力となる。さらに、ライン1 8 0 の第2の部分1 4 4 の信号は、第1の部分1 4 2 のクロックトデュアル入力インバータ1 6 4 に入力される。同様に、ライン1 6 0 の第1の部分1 4 2 の信号は、第2の部分1 4 4 のクロックトデュアル入力インバータ1 8 4 に入力される。

第1の部分1 4 2 のスレーブメモリセル1 5 2 は、以下に記載される点を除いて、第1の部分1 4 2 のマスタメモリセル1 5 0 に対して上に記載された回路と同様の回路を有する。スレーブメモリセル1 5 2 は、

ライン1 6 0 においてマスタメモリセル1 5 0 から信号を受信し、クロックトインバータ1 8 6 にその信号を供給する。クロックトインバータ1 8 6 は、クロックトインバータ1 5 4 がCKB1に接続される場所でクロックトインバータ1 8 6 がCK1に接続され、クロックトインバータ1 5 4 がCK1に接続される場所でクロックトインバータ1 8 6 がCKB1に接続されている点を除いて、第9図に関連して図示及び記載されたクロックトインバータ1 5 4 と同一の回路を及び動作を有する。ライン1 8 8 のクロックトインバータ1 8 6 の出力は、3入力スリーステートインバータ1 9 0 に入力される。3入力スリーステートインバータ1 9 0 は、マスタメモリセル1 7 0 の代わりに第2の部分1 4 4 のスレーブメモリセル1 7 2 に接続される点を除いて、第10図に関連して図示され、上に記載された3入力スリーステートインバータ1 5 8 と同一の回路及び動作を有する。

3入力スリーステートインバータ1 9 0 の出力は、ライン1 9 2 においてNチャネルMOSFET1 9 4 のドレインに供給される。NチャネルMOSFET1 9 4 のゲートは、バッファされたリセット信号( R1 ) を供給され、ソースはV<sub>ss</sub>に接続される。バッファされたリセット信号( R1 ) がハイレベル論理状態にあるとき、NチャネルMOSFET1 9 4 は「オン」し、ライン1 9 2 上の信号は強制的に概ねV<sub>ss</sub>ボルトに固定される。そうでない場合は、NチャネルMOS

F E T 1 9 4 は、「オフ」し、何ら影響を与えない。

また192における信号は、クロックト デュアル入力インバータ196の入力にも供給される。クロックト デュアル入力インバータ196は、クロックトインバータ164がC K B 1に接続される場所でクロックト デュアル入力インバータ196がC K 1に接続され、クロックトインバータ164がC K 1に接続される場所でクロックデュアル入力トインバ

ータ196がC K B 1に接続されている点を除いて、第11図に関連して図示及び記載されたクロックト デュアル入力インバータ164と同一の回路を及び動作を有する。クロックト デュアル入力インバータ196の出力はフィードバックされ、ライン188において3入力スリーステートインバータ190に接続される。

第2の部分144のスレーブメモリセル172は、以下の記載する点を除いて、第1の部分142のマスタメモリセル150に対して上述された回路を同一の回路を有する。スレーブメモリセル172は、ライン180において、第2の部分144のマスタメモリセル170から信号を受信し、クロックトインバータ198にその信号を供給する。クロックトインバータ198は、クロックトインバータ154がC K B 1に接続される場所でクロックトインバータ198がC K 2に接続され、クロックトインバータ154がC K 1に接続される場所でクロックトトインバータ198がC K B 2に接続されている点を除いて、第9図に関連して図示及び記載されたクロックトインバータ154と同一の回路を及び動作を有する。

ライン200におけるクロックトインバータ198の出力は、3入力スリーステートインバータ202に入力される。3入力スリーステートインバータ202は、R 1の代わりにR 2を供給される点を除いて、第10図に関連して図示及び記載された3入力スリー・ステートインバータ158と同一の回路及び動作を有する。

3入力スリーステートインバータ202の出力は、ライン204においてNチャネルMOSFET206のドレインに供給される。NチャネルMOSFET2

0 6 のゲートは、バッファされたリセット信号( R 2 )を供給され、ソースはV<sub>ss</sub>に接続される。バッファされたリセット信号( R 2 )がハイレベル論理電圧にあるとき、NチャネルMOSFET 2

0 6 は「オン」し、ライン2 0 4 上の信号は強制的に概ねV<sub>ss</sub>に固定される。そうでない場合は、NチャネルMOSFET 2 0 6 は「オフ」し、何ら影響を与えない。

またライン2 0 4 上の信号は、クロックトデュアル入力インバータ2 0 8 の入力にも供給される。クロックトデュアル入力インバータ2 0 8 は、クロックトインバータ1 6 4 がCKB 1 に接続される場所でクロックトデュアル入力インバータ2 0 8 がCK 2 に接続され、クロックトインバータ1 6 4 がCK 1 に接続される場所でクロックトデュアル入力インバータ2 0 8 がCKB 2 に接続されている点を除いて、第11図に関連して図示及び記載されたクロックトデュアル入力インバータ1 6 4 と同一の回路を及び動作を有する。クロックトデュアル入力インバータ2 0 8 の出力はフィードバックされ、ライン2 0 0 において3入力スリーステートインバータ2 0 2 の入力に接続される。

第1及び第2の部分1 4 2 、1 4 4 のスレーブメモリセル1 5 2 、1 7 2 は相互接続される、すなわち交差結線され、SEU耐性を有するデュアルメモリセルを形成する。ライン2 0 0 の第2の部分1 4 4 の信号は、第1の部分1 4 2 の3入力スリーステートインバータ1 9 0 に入力される。同様に、ライン1 8 8 の第1の部分1 4 2 の信号は、第2の部分1 4 4 の3入力スリーステートインバータ2 0 2 に入力される。さらにライン2 0 4 の第2の部分1 4 4 の信号は、第1の部分1 4 2 のクロックトデュアル入力インバータ1 9 6 に入力される。同様に、ライン1 9 2 の第1の部分1 4 2 の信号は、第2の部分1 4 4 のクロックトデュアル入力インバータ2 0 8 に入力される。

ライン1 8 8 における第1の部分1 4 2 のスレーブメモリセル1 5 2 からの信号、並びにライン2 0 0 における第2の部分1 4 4 のスレーブメモリセル1 7 2 からの信号は、第1及び第2の部分1 4 2 、1 4 4 に

対するデュアル入力シリーステートインバータ210、214に供給され、そのインバータはデュアルメモリセルに対する出力駆動能力を提供する。別法では、デュアル入力シリーステートインバータ210、214の1つは省略される。第12図は、 $V_{DD}$ に接続されるソース210cと第2のPチャネルMOSFET210fのソース210eに接続されるドレイン210dとを備える第1のPチャネルMOSFET210bのゲート210aに、入力2信号を供給されるデュアル入力シリーステートインバータ210に対する回路である。第2のPチャネルMOSFET210fのゲート210gは入力1信号を供給され、ドレイン210hは、第1のNチャネルMOSFET210jのドレイン210iと出力との両方に接続される。第1のNチャネルMOSFET210jのゲート210kは、入力1信号を供給され、ソース210mは、第2のNチャネルMOSFET210pのドレイン210nに接続される。第2のNチャネルMOSFET210pはゲート210qにおいて入力2信号を供給され、ソース210rは $V_{SS}$ に接続される。

デュアル入力シリーステートインバータ210の動作は以下のようになる。入力1及び入力2が共にロー論理状態電圧にあるとき、第1及び第2のPチャネルMOSFET210b、210fは「オン」し、第1及び第2のNチャネルMOSFET210j、210pは「オフ」し、デュアル入力シリーステートインバータ210の出力は概ね $V_{DD}$ になる。入力1及び入力2が共にハイ論理状態電圧にあるとき、第1及び第2のPチャネルMOSFET210b、210fは「オフ」し、第1及び第2のNチャネルMOSFET210j、210pは「オン」し、デュアル入力シリーステートインバータ210の出力は概ね $V_{SS}$ になる。もし入力1と入力2が互いに同一の論理状態にないなら、そのときデュアル入力シリーステートインバータ210の出力は、 $V_{SS}$ 及び $V_{DD}$ のい

ずれに対しても高抵抗を有する。デュアル入力シリーステートインバータ214は、デュアル入力シリーステートインバータ210と同様の回路及び動作を有する。

再び第8図を参照すると、デュアル入力シリーステートインバータ210、2

14の出力は接続され、ライン216上の論理セクション出力信号を生成する。この接続及び結果として生成される信号は、第2図に関連して図示及び記載された論理セクション出力信号84を生成するNANDゲート76、78の出力の接続に関するものと同一である。

論理セクション140の動作は以下のようになる。バッファされたクロック信号(CK1、CK2)がロー論理状態電圧(論理ロー)にあるとき、反転されたクロック信号(CKB1、CKB2)はハイ論理状態電圧(論理ハイ)にあり、マスタメモリセル150、170のクロックトインバータ154、174はライン156、176上に、ライン128、130上のバッファされたD信号(D)の論理に対して反対の論理状態に対応する電圧の出力信号を与える。3入力スリーステートインバータ158、164は、ライン160及び180においてDと同じ論理状態を有する出力信号を与える。ライン156、176におけるクロックトデュアル入力インバータ164、184の出力は、高抵抗条件にあり、それゆえ如何なる影響も与えない。マスタメモリセル150、170からのライン160、180上の信号は、スレーブメモリセル152、172に供給されるが、クロックトインバータ186、198の出力が高抵抗条件にあるため、ライン188、200上の信号に影響を与えない。

バッファされたクロック信号(CK1、CK2)が論理ハイに遷移するとき、反転されたクロック信号(CKB1、CKB2)は論理ローになり、マスタメモリセル150、170のクロックトインバータ154、

174の出力は、高抵抗条件に遷移する。ライン156、176上のクロックトデュアル入力インバータ164、184の出力は、CK1、CK2の遷移前のDの論理状態と反対の状態に対応する論理状態に遷移する。3入力スリーステートインバータ158、178はCK1、CK2の遷移前のDの論理状態に対応する出力信号をライン160、180上に与える。

マスタメモリセル150、170からのライン160、180上の信号は、スレーブメモリセル152、172のクロックトインバータ186、198に供給される。ライン188、200上のクロックトインバータ186、198の出力

は、CK1、CK2 の遷移前のDの論理状態と反対の状態に対応する論理状態に遷移する。ライン192、204 上の3入力スリーステートインバータ190、202の出力は、CK1、CK2 の遷移前のDの論理状態に対応する論理状態に遷移する。ライン188、200 上のクロックトデュアル入力インバータ196、208の出力は、高抵抗条件に遷移する。デュアル入力インバータ210、214はライン188、200 上で信号を受信し、CK1、CK2 の遷移前のDの論理状態に対応する論理状態を有する論理セクション出力信号をライン216 上に与える。

バッファされたクロック信号(CK1、CK2)が再び論理ローに遷移するとき、反転したクロック信号(CKB1、CKB2)は論理ハイになる。ライン192、204 上の3入力スリーステートインバータ190、202の出力は、CK1、CK2 の第1 の遷移前のDの論理状態に対応する論理状態を保持する。ライン188、200 上のクロックトデュアル入力インバータ196、208の出力は、CK1、CK2 の第1 の遷移前のDと反対の論理状態に対応する論理状態に遷移する。

上述のように、フリップフロップ100(第5-7図)の論理セクション140は、2つのデュアルメモリセル、マスタ並びにスレーブを備える。デュアルメモリセルのいずれかにおけるトランジスタがSEUを被る場合があっても、デュアルメモリセルの出力は正確な論理状態に保持される。これは、デュアルメモリセルが2つの部分、すなわち第1及び第2の部分を有し、それが独特に相互接続されるという事実によるものである。SEU存在時のデュアルメモリセルの動作が以下に説明される。

SEUに先立って、Dが論理ローであり、CK1、CK2が論理ローから論理ハイに遷移し、CKB1、CKB2が論理ローに遷移すると仮定する。ライン156、176 上のマスタメモリセル150、170のクロックトインバータ154、174の出力は、高抵抗条件に遷移する。ライン156、176 上のクロックトデュアル入力インバータ164、184の出力は、論理ハイ、すなわちCK1、CK2 遷移前のDと反対の論理状態に対応する論理状態に遷移する。3入力

シリーステートインバータ158、178はCK1、CK2遷移前のDの論理状態に対応する論理ロー出力信号を、ライン160、180上に与える。

もしクロックトデュアル入力インバータ164内のトランジスタがSEUを被り、ライン156上のクロックトデュアル入力インバータ164の出力が論理ローに遷移するようになるなら、そのときライン160上の3入力シリーステートインバータ158の出力は高抵抗条件に遷移する。しかしながら、配線に関連する接続コンデンサ及びライン160に接続されるゲートが、ライン160上の電圧を論理ローに保持する。こうして、インバータ164及びスレーブメモリセル152は、正確な論理状態電圧を供給されたままである。SEUを被るトランジスタが復帰するとき、ライン160上の論理ロー及びライン180上の論理ローは、ライン156上のクロックトデュアル入力インバータ164の出力

を論理ハイに復元する。

もし代わりにクロックトインバータ154内のトランジスタがSEUを被るなら、そのとき最悪時には、ライン156上の出力は高抵抗条件から論理ローに遷移する。3入力シリーステートインバータ158の出力は最悪、高抵抗条件に遷移し、ライン160上の電圧は、接続コンデンサにより影響を受けることなく、保持される。こうしてインバータ164及びスレーブメモリセル152は正確な論理状態電圧を供給されたままである。SEUが終了するとすぐに、クロックトインバータ154の出力は高抵抗状態に復帰し、クロックトデュアル入力シリーステートインバータ164はライン156において論理ハイ状態を復元する。

代わりに3入力シリーステートインバータ158内のトランジスタがSEUを被るなら、その最悪時には、ライン160上の出力が高抵抗条件に遷移する。しかしながらライン160上の電圧は接続コンデンサにより保持される。こうしてインバータ164及びスレーブメモリセル152は正確な論理状態電圧を供給されたままであり、SEU終了後、3入力シリーステートインバータ158は復帰する。

ここでSEUに先立って、D及びCK1が論理ローであると仮定する。ライン156上のクロックトインバータ154の出力は論理ハイである。ライン160

上の3入力スリーステートインバータ158出力は論理ローである。クロックトデュアル入力インバータ164の出力は、高抵抗条件にある。

もしクロックトデュアル入力インバータ164内のトランジスタがS E Uを被り、ライン156上の出力を論理ハイに遷移させるなら、ライン156上の信号が既に論理ハイであるため、何ら問題はない。こうして3入力スリーステートインバータ158、インバータ164並びにスレーブメモリセル152は正確な論理状態電圧を供給されたままとなる。

S E Uを被るトランジスタが回復するとき、ライン156上のクロックトデュアル入力インバータ164の出力は高抵抗条件に復帰する。

代わりにクロックトインバータ154内のトランジスタがS E Uを被るなら、最悪時、ライン156上の信号が論理ローに遷移し、ライン160上の3入力スリーステートインバータ158の出力は高抵抗条件に遷移する。ライン160上の電圧は接続コンデンサにより保持され、こうしてインバータ164及びスレーブメモリセル152は正確な論理状態電圧を供給されたままとなる。S E U終了後、すべて適切な状態に回復する。

もし代わりに3入力スリーステートインバータ158内のトランジスタがS E Uを被るなら、ライン160上の出力は最悪時、高抵抗条件に遷移する。上記例を用いるとき、ライン160上の電圧は、接続コンデンサにより影響を受けることなく、保持される。クロックトデュアル入力インバータ164及びスレーブメモリセル152は正確な論理状態電圧を供給されたままであり、3入力スリーステートインバータ158は、S E U後に復帰する。

こうして少なくとも $80 \text{ MeVc m}^2/\text{mg}$ 以下のイオンエネルギーレベルのS E Uの場合に、適当な論理状態が保持される。メモリセル170はデュアルメモリセル150と同じ動作をする。スレーブデュアルメモリセルは、マスタデュアルメモリセルと同様の動作をする。

最良の実施の形態は、非同期リセット能力を与るために3入力スリーステートインバータ158、178、190、202を組み込む。別法では、もし非同期リセットが望まれていないなら、そのときデュアル入力スリーステートインバ

ータ210、214に対して用いられているような、デュアル入力スリーステートインバータが代わりに用いられるてもよい。その状況では、NチャネルMOSFET162、182、1

94、206も省略される。

再び第7図を参照すると、ライン216上の論理セクション出力信号は、第2図に関連して図示及び記載された出力セクション86に同一の出力セクション218に供給される。出力セクション218はライン108上にQ出力信号を供給する。

最良の実施の形態では、インバータへの入力が互いに同じ論理状態でないとき、すなわちS E U中に、デュアル入力及び3入力スリーステートインバータの出力は高抵抗条件に遷移する。高抵抗条件時には、出力と、 $V_{DD}$ 及び $V_{SS}$ との間に高抵抗が存在するため、出力はライン上の電圧を妨害せず、接続コンデンサにより保持される。従って、回路の他の部分はS E Uにより影響されない。しかしながら、当業者には理解されようが、2つのメモリセルからの対応する信号が一致しないときにデュアルメモリセルが適当に応答するようになる任意の適切なトランジスタ構成により、インバータは置き換えられる。

さらに、最良の実施の形態では、各メモリセルは、一方が他方の相補形となっている2つの信号を、デュアルメモリセル内の他のメモリセルに供給するが、当業者には、1つの信号のみが、各メモリセルによりデュアルメモリセルに対して供給される必要があることは理解されよう。

最良の実施の形態では、N A N D回路20とフリップフロップ回路100がC M O S技術において実装され、 $1.2\mu m$ かそれより小さいことが好ましいが、しかしながら任意の他の適当な技術が用いられてもよい。 $1.2\mu m$ の場合、回路は大きさが十分に小さく、比較的低電力で、しかも高速動作させることができる。

全回路において用いたように、本発明を用いるときには適当なデカップリングを用いるべきである。

最良の実施の形態では、ライン22、24、26及びライン102、

104、106、108の各論理信号は、CMOS論理レベルを有するタイプの信号であるが、しかしながら当業者には明らかなように、NAND回路20とフリップフロップ回路100はTTL論理信号を含むように設計されてもよい。好適な実施例では、これは入力セクションの閾値の変更が必要なだけである。

本発明の最良の形態は入力セクションを備えるが、本発明の論理セクションは、入力セクション或いは入力セクションの一部を使わずに利用されてもよい。例えば、各入力論理信号は、論理セクションが入力論理信号の論理レベルを用いて動作するように適当に適用される限り、入力セクションを通過させずに、論理信号の両方の部分に直接入力されてもよい。

また本発明は、最良の実施の形態の出力セクションを使用せずに利用されてもよい。論理セクションが適当に他の論理を駆動するように適用される限り、代わりに、論理セクション出力信号が直接他の論理を駆動するために用いられてもよい。

NAND回路及びマスタスレーブDフリップフロップ回路において用いるための最良の実施の形態に関連して開示されたが、本発明は任意のタイプの組み合わせ及びシーケンス論理回路において用いられてもよい。それらの論理回路は、限はしないが、スリーステートの有無に関わりなくOR、NOR、XOR、XNOR、インバータ、AND、バッファ、ラインドライバ及びトランシーバ、並びにプリセット及びクリアの有無に関わりなくデュアルメモリセル、JKフリップフロップ、SRフリップフロップなどがある。

さらに本発明のNAND回路は2つ入力及び1つの出力を有し、マスタスレーブDフリップフロップ回路は3つの入力及び1つの出力を有するが、本発明は任意の数の入力N並びに任意の数の出力Kを有する論理

回路に用いられることもでき、N、Kは1以上の数であることができる。さらに入力セクションは各N入力信号を受信し、各信号に対して一対のバッファされた信号を生成することが好ましい。バッファされた信号からの各対からの1つの信号は、論理回路の第1の部分により受信され、各対からのもう一方の信号は、第2の部分により受信される。2つの各論理セクション部分は、全機能を実装する

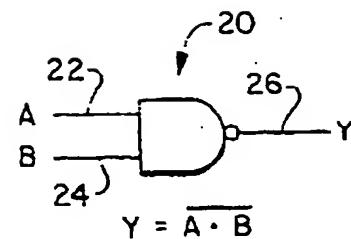
ために必要な論理ゲートをすべて備えている。第1の部分はK個の第1部分出力信号を生成し、第2の部分はK個の第2部分出力信号を生成する。K個の各第1部分出力信号は、K個の第2部分出力信号からの対応信号と結合されて、K個の論理セクション出力信号を生成する。K個の論理セクション出力信号は、出力セクションに送られ、バッファされ、その回路に対するK個の出力信号を生成する。こうして本発明はまた、限定はしないが、比較器、フリップフロップ、デコーダ／デマルチプレクサ、セレクタ／マルチプレクサ、カウンタ、シフトレジスタ、パリティ発生器、加算器並びにメモリなどのタイプの論理回路に用いられることができる。

またさらに、最良の実施の形態は一対のバッファされた信号を供給する信号調整回路、並びに2つの部分を有する論理部分を備えるが、一対より多いバッファされた信号を供給する信号調整回路及び2つより多い部分を有する論理セクションが、一層S E Uへの耐性を強固にするために用いられ、同様に組み合わされることもできる。

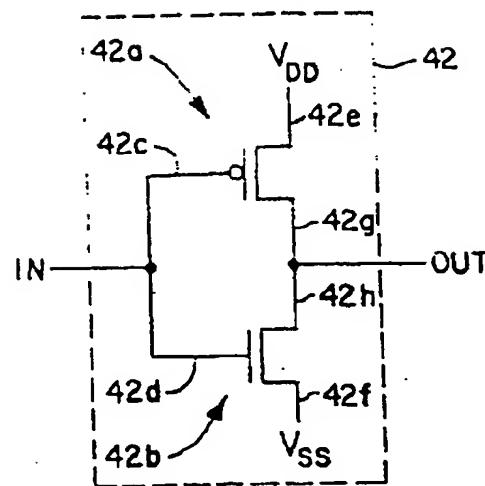
詳細な発明は、例示的な実施例を参照して記載されているが、本記載は限定された意味に解釈されるように意図しているわけではない。例示的な実施例の種々の変更、並びに本発明の付加的な実施例は、ここ添付される請求項における例挙されるような、本発明の精神から逸脱することなく、本記載を参照することにより当業者には明らかになることは理解されよう。こうして、本発明が理解されれば、当業者は本発明の種々

の論理回路に応用することができよう。当業者は各応用例に対する適當な形態についてわかるであろう。それゆえ添付の請求の範囲は、本発明の真の観点内に入るような、任意のそのような変更例及び実施例を含むであろう。

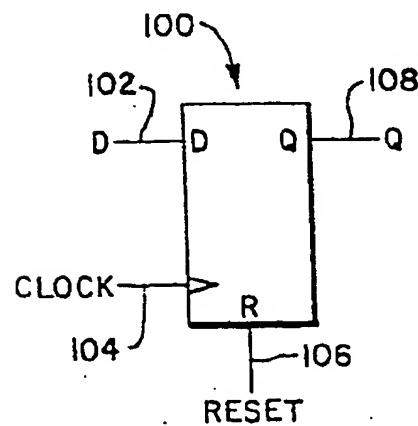
【 図1 】

FIG. 1

【 図3 】

FIG. 3

【 図5 】

FIG. 5

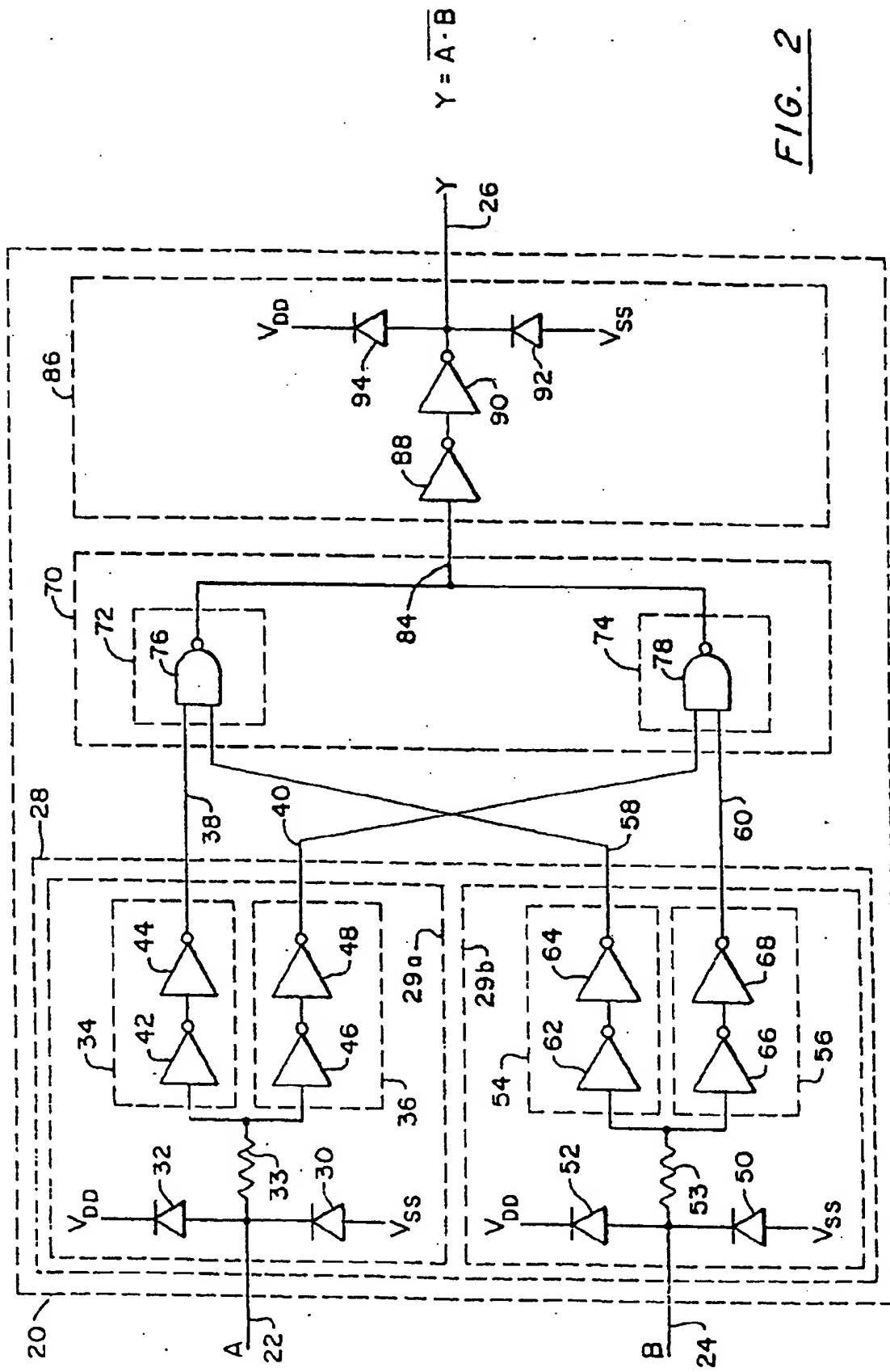
【 図6 】

	D	CLOCK	RESET	Q
112	X	X	H	L
114	H	↑	L	H
116	L	↑	L	L
118	X	L	L	$Q_0$

FIG. 6

[ 図2 ]

FIG. 2



[ 図4 ]

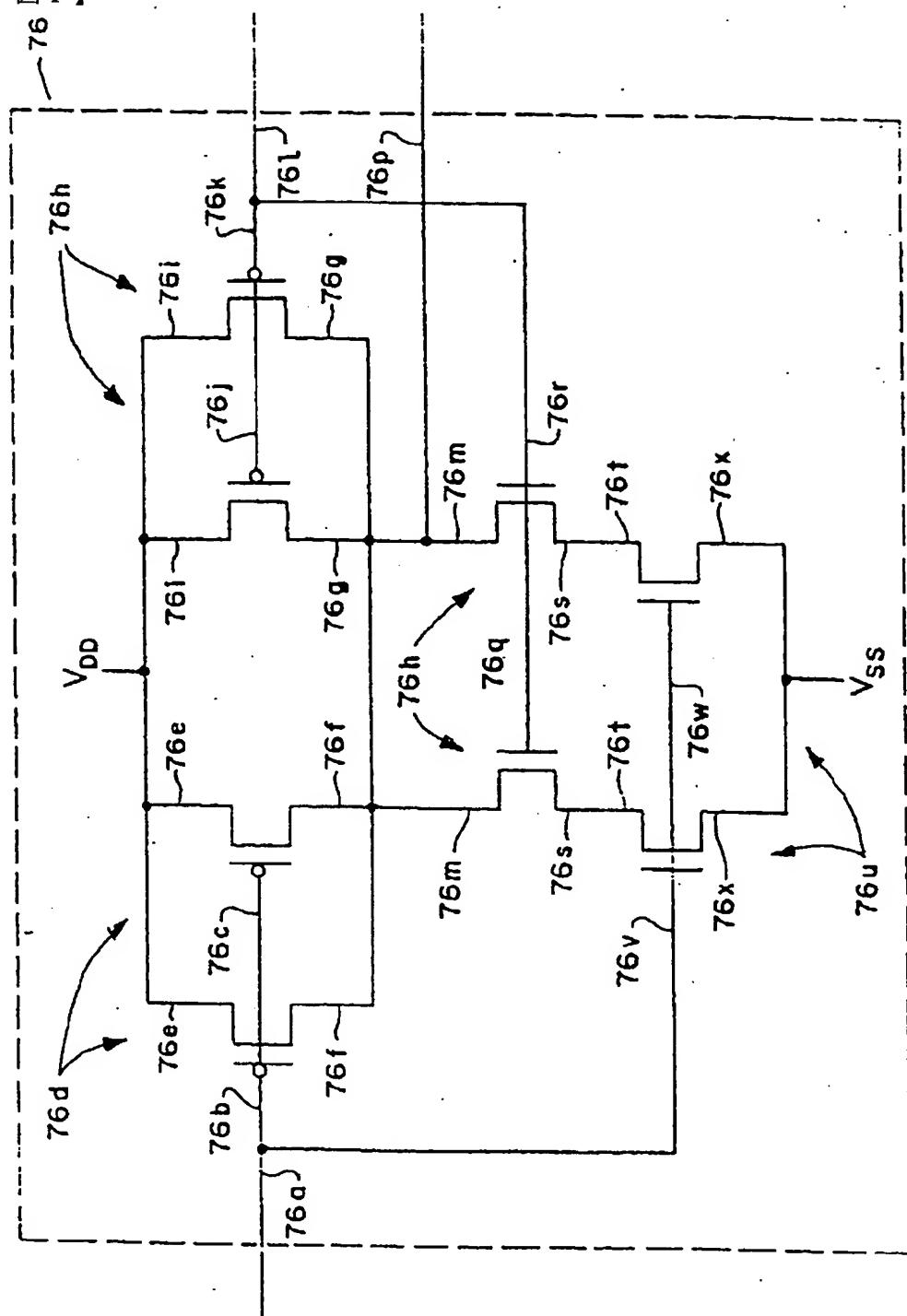


FIG. 4

【 図 7 】

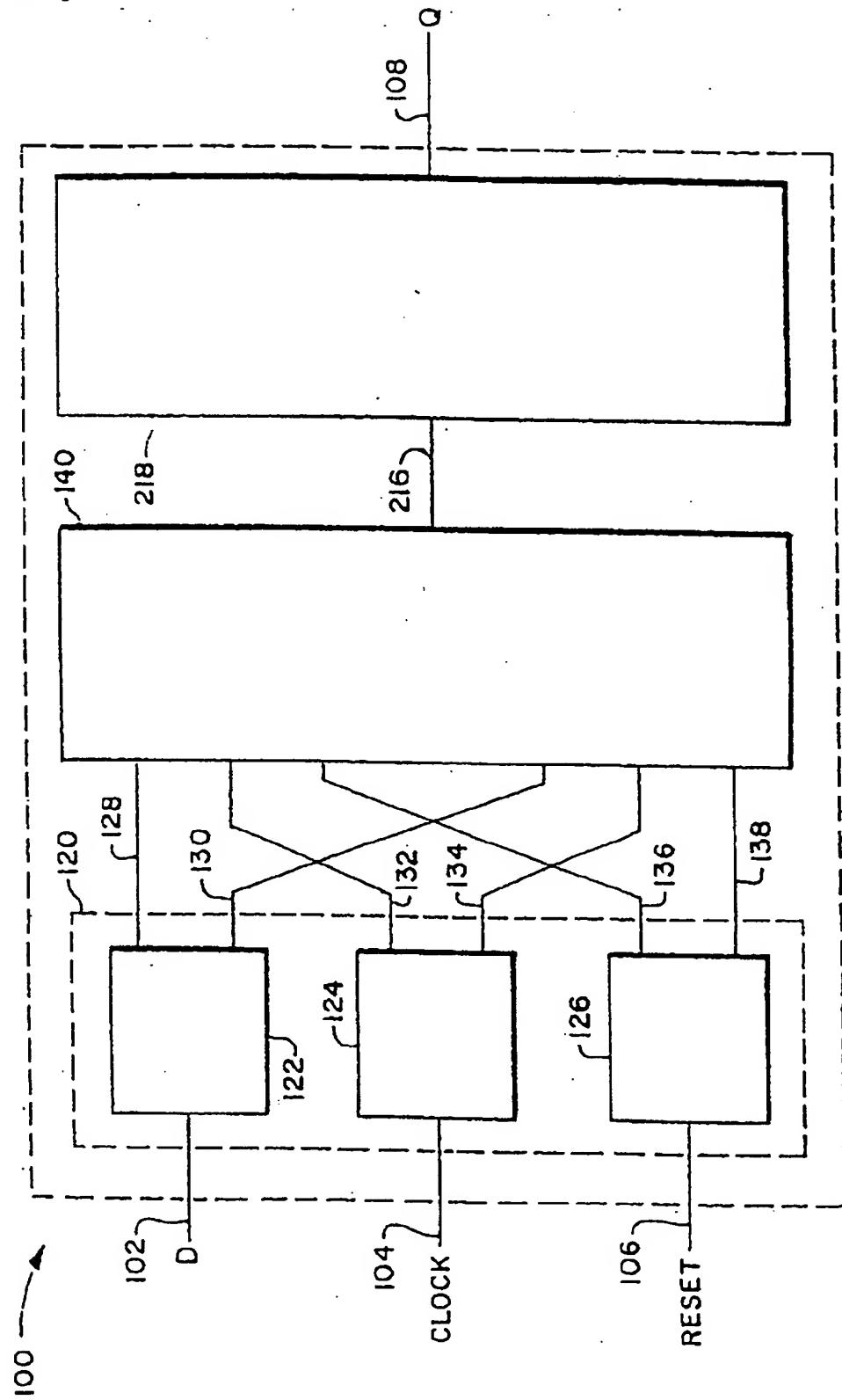
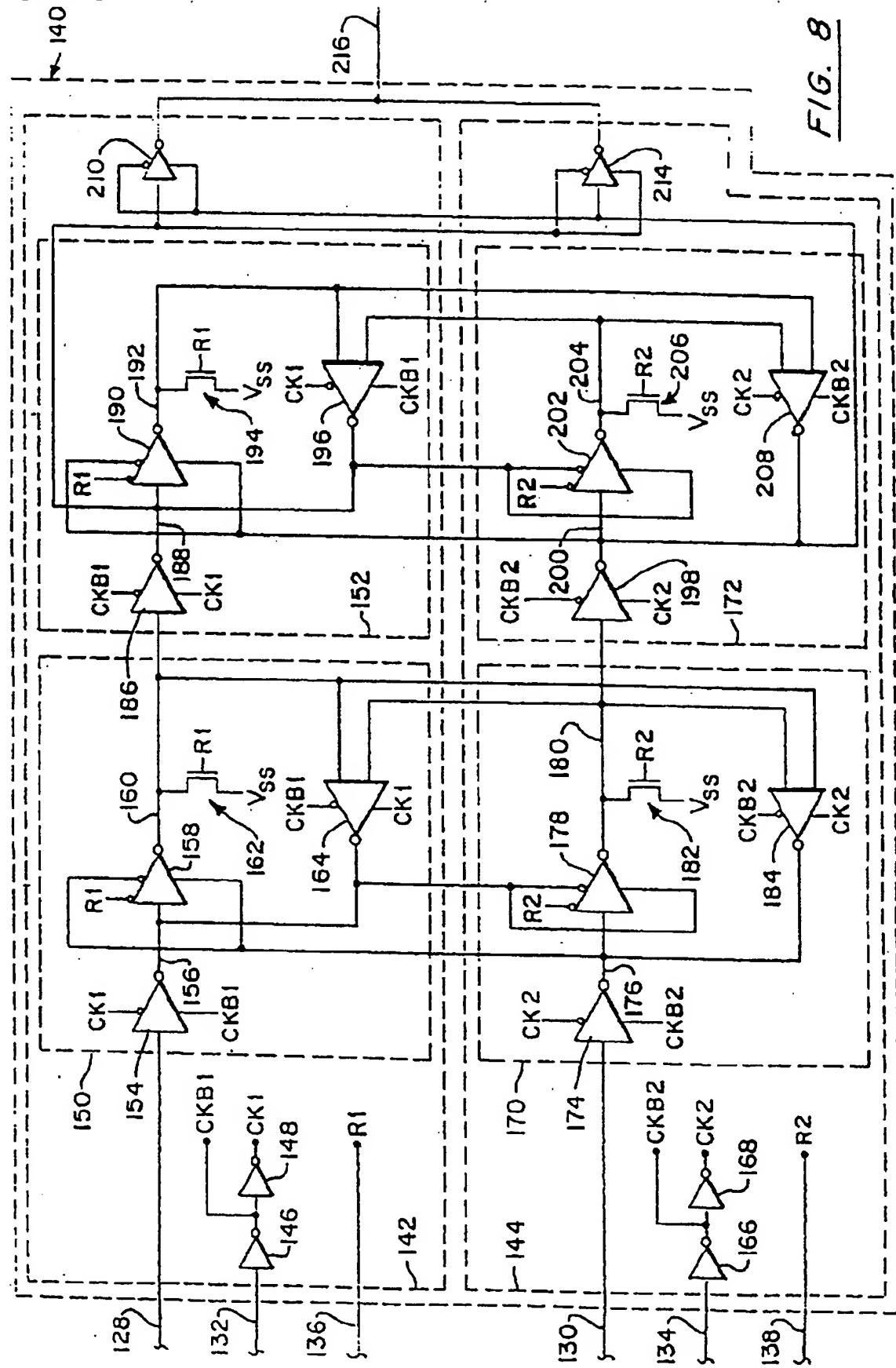
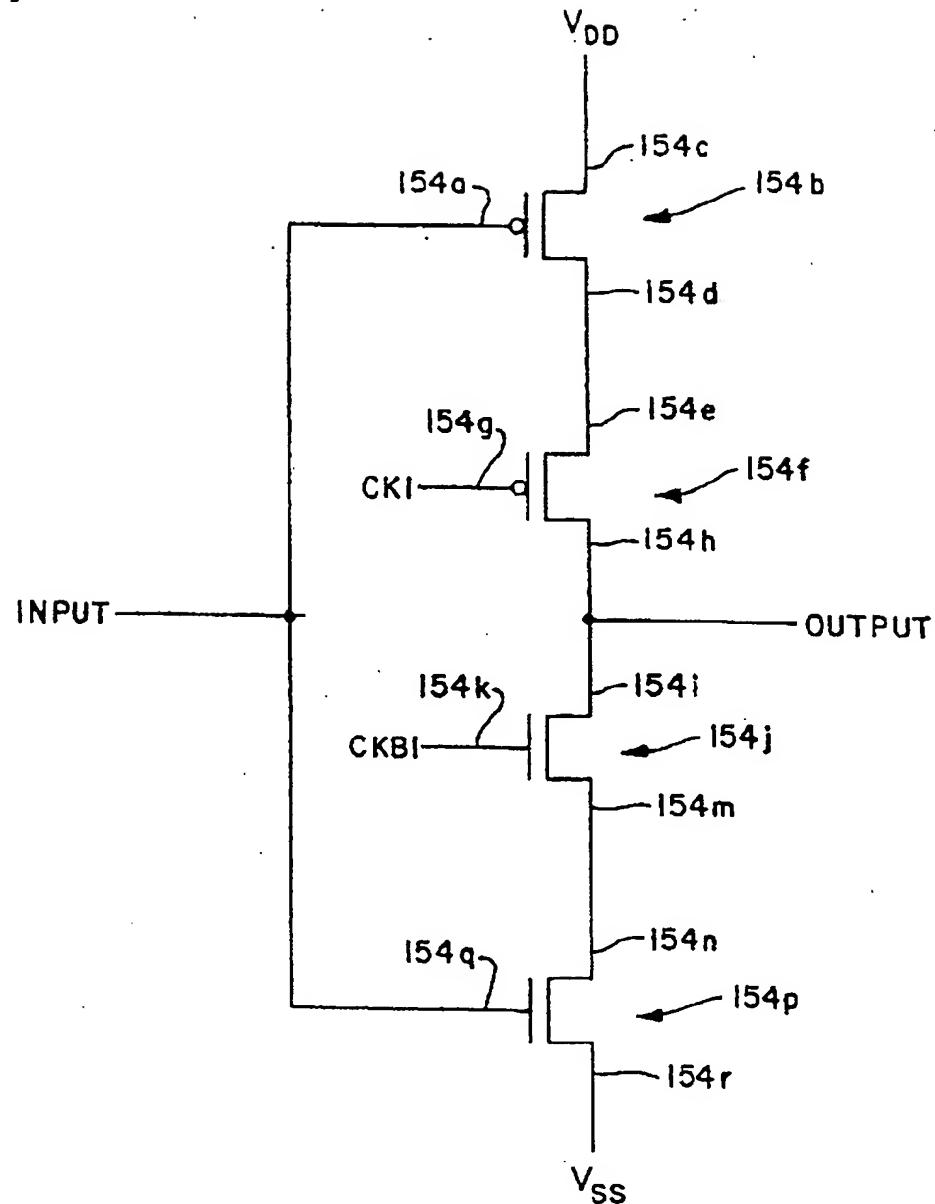


FIG. 7

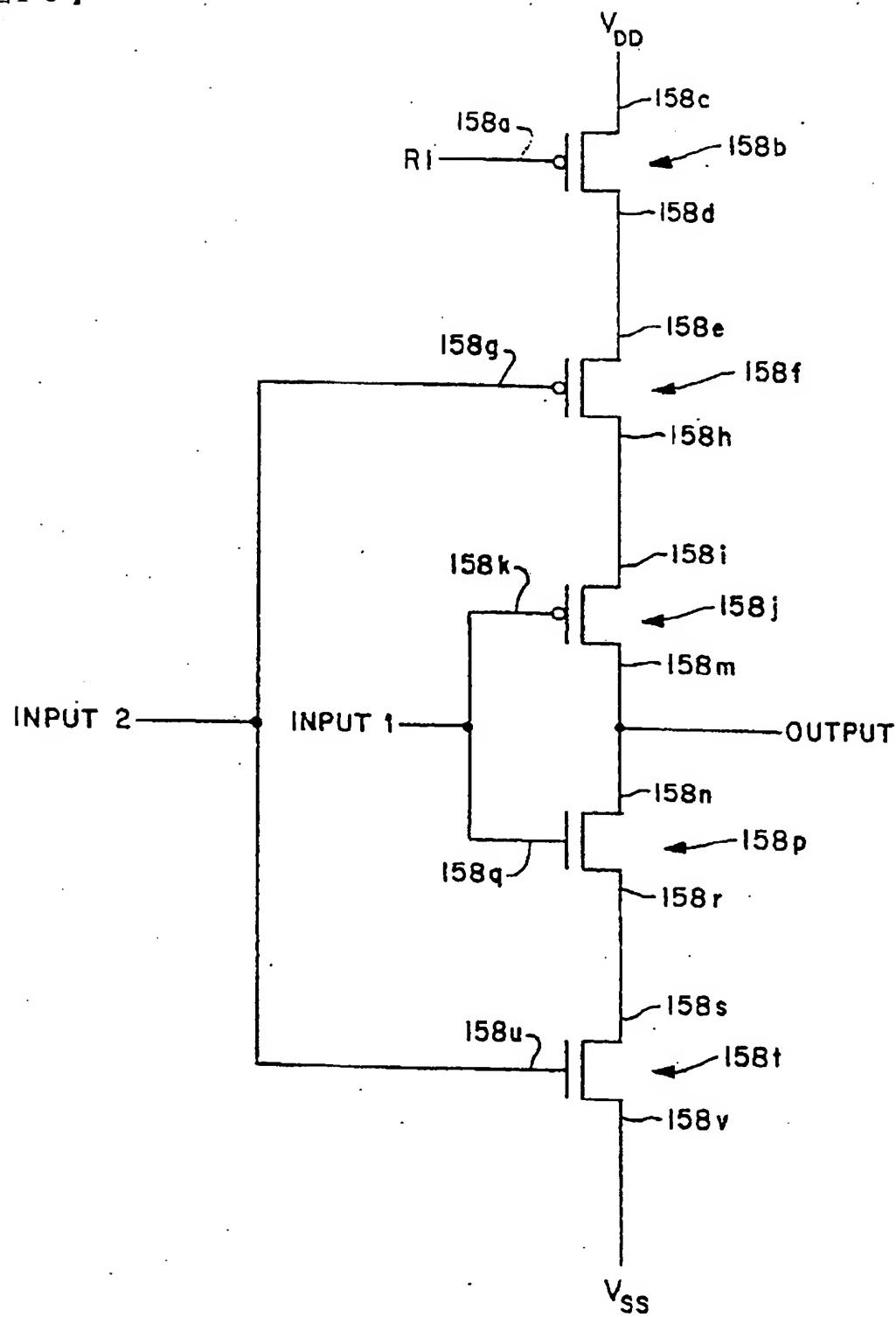
[ 140 図 8 ]



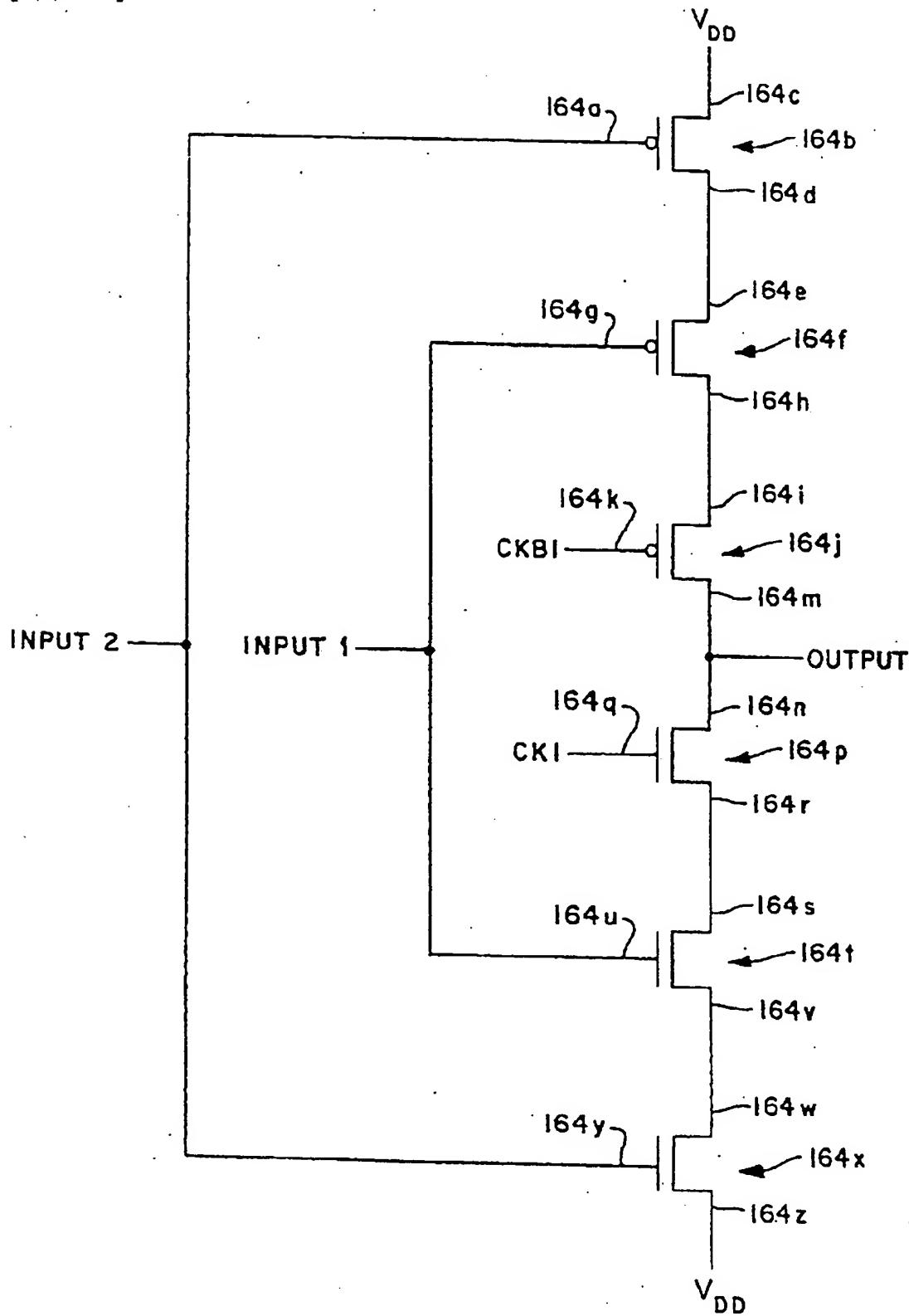
【 図9 】

FIG. 9

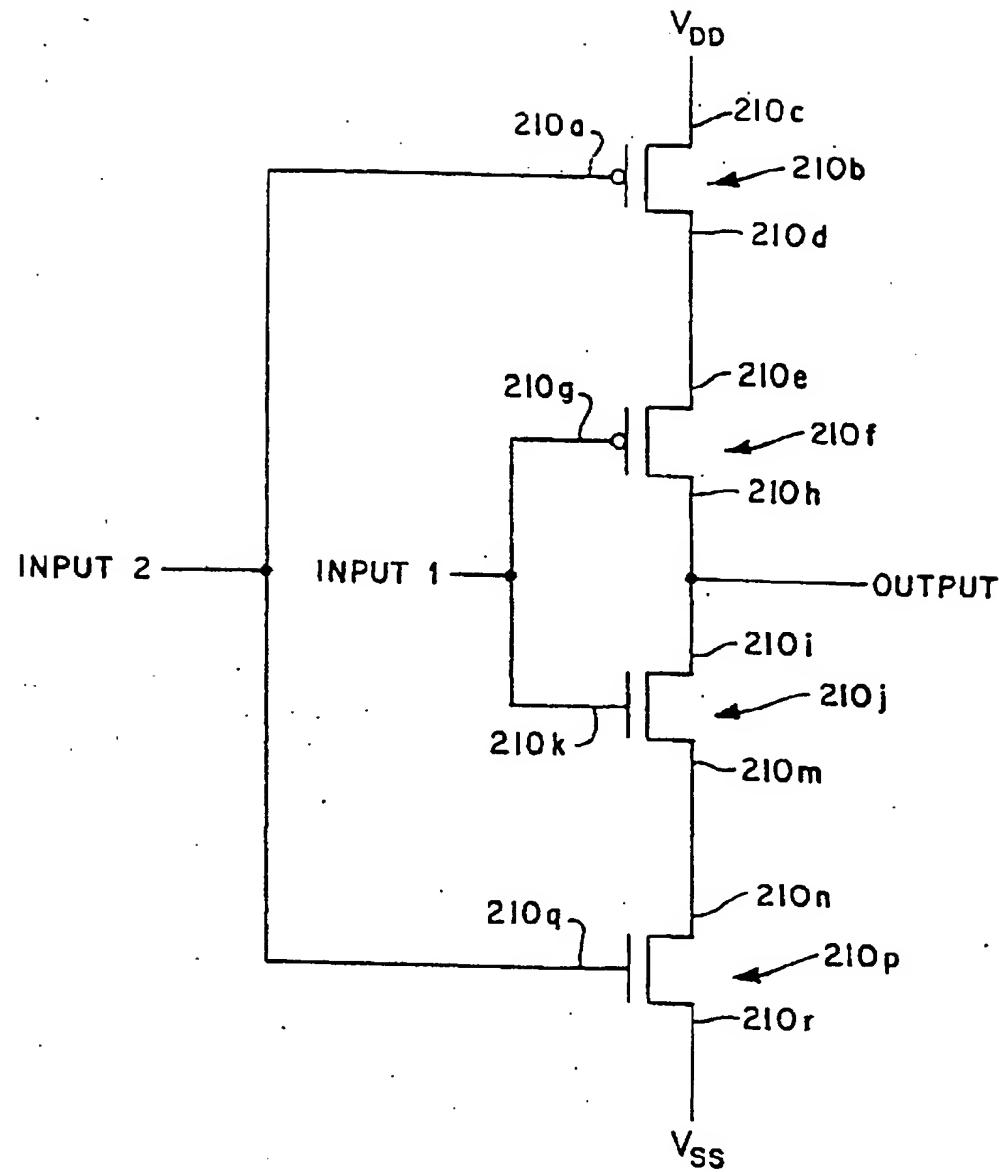
【 図10 】

FIG. 10

【 図 1 1 】

FIG. 11

【 図12 】

FIG. 12

【手続補正書】特許法第184条の8第1項

【提出日】1998年4月24日(1998.4.24)

【補正内容】

請求の範囲

1. 第1及び第2のメモリセルを有するデュアルメモリセルであって、前記第1のメモリセルが第1の入力信号を受信し、第1の論理信号を与え、また前記第2のメモリセルが第2の入力信号を受信し、第2の論理信号を与え、さらに前記第2のメモリセルが前記第1の論理信号を受信し、第2の出力信号を生成し、また前記第1のメモリセルがさらに前記第2の論理信号を受信し、第1の出力信号を生成することを特徴とし、前記第1のメモリセルが、第1の論理状態を有する前記第1の入力信号と期待される論理状態を有する前記第2の論理状態に応じた論理状態を有する前記第1の出力信号を生成し、さらに前記第1のメモリセルは、前記第1の入力信号が前記第1の論理状態にないか、或いは前記第2の論理信号が前記期待された論理状態にないときのいずれかの場合に、前記第1の出力信号においてハイインピーダンスを有し、また前記第1のメモリセルは十分な容量の接続コンデンサを有し、前記ハイインピーダンスが前記第1の出力信号において生じたとき、その間前記論理出力において前記第1の出力信号を保持し、前記第2のメモリセルが、前記第1の論理状態を有する前記第2の入力信号と前記期待される論理状態を有する前記第1の論理信号に応じた前記論理状態を有する前記第2の出力信号を生成し、さらに前記第2のメモリセルは、前記第2の入力信号が前記第1の論理状態にないか、或いは前記第1の論理信号が前記期待された論理状態にないときのいずれかの場合に、前記第2の出力信号において前記ハイインピーダンスを有し、また前記第2のメモリセルは十分な容量の接続コンデンサを有し、前記ハイインピーダンスが前記第2の出力信号において生じたとき、前記その間前記論理出力において前記第2の出力信号を保持することを特徴とするデュアルメモリセル。

2. 前記第1のメモリセルの前記第1の出力信号と前記第2のメモリセルの前

記第2の出力信号がさらに、アナログ的に結合され、1つ論理状態出力信号を生成することを特徴とする請求項1に記載のデュアルメモリセル。

3. 前記第1のメモリセルの前記第1の出力信号と前記第2のメモリセルの前記第2の出力信号が、能動的プルアップと能動的プルダウンとを伴う出力を有する前記第1及び第2の出力信号を与えるために、前記第1及び第2のメモリセル内に配置された論理ゲートにより与えられることを特徴とする請求項1に記載のデュアルメモリセル。

4. 前記第1及び第2のメモリセルがCMOS技術からなることを特徴とする請求項1に記載のデュアルメモリセル。

5. 前記第1のメモリセルの前記第1の出力信号と前記第2のメモリセルの前記第2の出力信号とのアナログ的な前記結合が、概ね500Ωより小さい抵抗を有する電気的接続からなることを特徴とする請求項2に記載のデュアルメモリセル。

6. 前記第1のメモリセル及び前記第2のメモリセルが同一の論理回路からなることを特徴とする請求項1に記載のデュアルメモリセル。

7. 前記第1のメモリセル及び前記第2のメモリセルが、 $80 \text{ MeVc m}^2/\text{mg}$ 以下のエネルギーレベルを有するイオンが両方の部分にSEUを引き起こさないように、物理的に離れて配置されることを特徴とする請求項1に記載のデュアルメモリセル。

8. 前記第1のメモリセルの前記第1の出力信号と前記第2のメモリセルの前記第2の出力信号とのアナログ的な前記結合が、 $80 \text{ MeVc m}^2/\text{mg}$ 以下のイオンエネルギーでのSEUに対して耐性を有する前記1つの論理状態出力信号を生成することを特徴とする請求項2

に記載のデュアルメモリセル。

9. 前記第1のメモリセルの前記第1の出力信号と前記第2のメモリセルの前記第2の出力信号とのアナログ的な前記結合が、概ね1Ωより小さい抵抗を有することを特徴とする請求項2に記載のデュアルメモリセル。

10. 前記第1及び第2のメモリセルのそれぞれが、スリーステート出力を有

する回路からなり、第1の状態が $V_{DD}$ により駆動される出力に対応し、第2の状態が $V_{SS}$ により駆動される出力に対応し、第3の状態が $V_{SS}$ 及び $V_{DD}$ の両方に対して高抵抗の状態に対応し、前記論理状態は、 $V_{DD}$ により駆動される第1の状態か、或いは $V_{SS}$ により駆動される第2の状態のいずれかに等しく、また前記ハイインピーダンスは $V_{SS}$ 及び $V_{DD}$ の両方に対して高抵抗の状態に等しいことを特徴とする請求項1に記載のデュアルメモリセル。

11. 与えられた1つ或いはそれ以上の論理状態入力信号において選択された論理機能を実行し、1つ或いはそれ以上の合成論理出力信号を与えるための装置であって、

前記各論理状態入力信号に対して、一対のバッファされた論理状態信号を与えるために、前記各論理状態入力信号に対する信号調整回路を有する入力セクションと、

それぞれが各前記一対のバッファされた論理状態信号からの1つバッファされた論理状態信号を受信し、またそれぞれが受信した前記バッファされた論理状態信号において前記選択された論理機能を実行し、それにより1つ或いはそれ以上の第1のメモリセル入力と、1つ或いはそれ以上の第2のメモリセル入力とを与える第1及び第2の部分を有する論理セクションとを有し、前記第1の部分は第1のメモリセルを有し、前記第2の部分は第2のメモリセルを有し、前記第1のメモリセルはさら

に前記第1のメモリセル入力を受信し、1つ或いはそれ以上の第1の中間出力を生成し、前記第2のメモリセルはさらに前記第2のメモリセル入力を受信し、1つ或いはそれ以上の第2の中間出力を生成し、前記第1のメモリセルはさらに前記第2の中間出力を受信し、1つ或いはそれ以上の第1のメモリセル出力を生成し、前記第2のメモリセルはさらに前記第1の中間信号を受信し、1つ或いはそれ以上の第2のメモリセル出力を生成し、

前記第1のメモリセル入力と前記第2の中間出力が期待された論理状態にあるとき、前記第1のメモリセル出力が論理状態出力となり、前記第1のメモリセル入力或いは前記第2の中間出力が前記期待された論理状態にない場合には常に前

記第1 のメモリセル出力はハイインピーダンスとなり、また前記第1 のメモリセルは十分な容量の接続コンデンサを有し、前記第1 のメモリセル出力が前記ハイインピーダンス状態の間、前記第1 のメモリセル出力は前記論理状態出力に保持され、

前記第2 のメモリセル入力と前記第1 の中間出力が期待された論理状態にあるとき、前記第2 のメモリセル出力が前記論理状態出力となり、前記第2 のメモリセル入力或いは前記第1 の中間出力が前記期待された論理状態にない場合には常に前記第2 のメモリセル出力は前記ハイインピーダンスとなり、また前記第2 のメモリセルは十分な容量の接続コンデンサを有し、前記第2 のメモリセル出力が前記ハイインピーダンス状態の間、前記第2 のメモリセル出力は前記論理状態出力に保持され、

前記各第1 のメモリセル出力は、前記第2 のメモリセル出力とアナログ的に結合され、1 つ或いはそれ以上の論理セクション出力信号を与えることを特徴とする装置。

1 3 . 前記1 つ或いはそれ以上の第1 及び第2 のメモリセル出力が、能動的プルアップ及び能動的プルダウンを伴う出力を有する前記1 つ或

いはそれ以上の第1 及び第2 のメモリセル出力を与えるために前記第1 及び第2 のメモリセル内に配置される論理ゲートにより与えられることを特徴とする請求項1 1 に記載の装置。

1 4 . 前記1 つ或いはそれ以上の第1 メモリセル出力と前記1 つ或いはそれ以上の第2 メモリセル出力とのアナログ的な前記結合が、概ね $500\Omega$ より小さい抵抗を有する電気的接続からなることを特徴とする請求項1 1 に記載の装置。

1 5 . 前記論理セクションの前記第1 の部分及び前記第2 の部一分が、同一の論理回路からなることを特徴とする請求項1 1 に記載の装置。

1 6 . 前記論理セクションの前記第1 の部分及び前記論理セクションの前記第2 の部分が、 $80\text{ Me V cm}^2/\text{mg}$ 以下のエネルギーレベルを有するイオンが両方の部分にS E Uを引き起こさないように物理的に離れて配置されることを特徴とする請求項1 1 に記載の装置。

17. 前記出力セクションが、 $80 \text{ Me V c m}^2/\text{mg}$  以下のイオンエネルギー レベルの S E U に対して耐性がある回路からなることを特徴とする請求項1 1 に記載の装置。

18. 前記1 つ或いはそれ以上の論理セクション出力信号が、 $80 \text{ Me V c m}^2/\text{mg}$  以下のイオンエネルギー レベルの S E U に対して耐性があることを特徴とする請求項1 1 に記載の装置。

19. 前記入力セクション、前記論理セクション、並びに前記出力セクションが同じ集積回路上にあることを特徴とする請求項1 1 に記載の装置。

20. 前記入力セクションが、N 個の各入力信号に対して、一対のバッファされた信号を生成する一対の同一のバッファ段からなることを特徴とする請求項1 1 に記載の装置。

21. 前記各一対のバッファ段に対して、前記一対のバッファ段の一

方が、前記一対のバッファ段の他方から物理的に分離され、 $80 \text{ Me V c m}^2/\text{mg}$  以下のエネルギー レベルを有するイオンが、両方のバッファ段に S E U を引き起こさないようにすることを特徴とする請求項1 1 に記載の装置。

22. 前記第1 のメモリセル出力と前記第2 のメモリセル出力とのアナログ的な前記結合が、概ね  $1 \Omega$  より 小さい抵抗を有することを特徴とする請求項1 1 に記載の装置。

23. 第1 の出力を有する第1 のメモリセルと、第2 の出力を第2 のメモリセルを接続し、耐放射線合成出力信号を与えるための方法であつて、

前記第1 のメモリセルに第1 の入力を与え、第1 の中間出力を生成する過程と

前記第2 のメモリセルに第2 の入力を与え、第2 の中間出力を生成する過程と

前記第1 の入力と前記第2 の中間出力が期待された論理状態にあるとき、前記第1 のメモリセルに前記第2 の中間出力を与え、ある論理状態を有する第1 の出力を生成する過程と、

前記第2 の入力と前記第1 の中間出力が前記期待された論理状態にあるとき、

前記第2のメモリセルに前記第1の中間出力を与え、前記論理状態を有する第2の出力を生成する過程と、

前記第1及び第2の出力をアナログ的に合成し、前記耐放射線合成出力信号を与える過程とを有し、

前記第1の入力或いは前記第2の中間出力が前記期待された論理状態にない場合は常に前記第1の出力はハイインピーダンスとなり、また前記第1のメモリセルは十分な容量の接続コンデンサを有し、前記第1の出力が前記ハイインピーダンス状態にある間、前記第1の出力が前記論

理状態に保持され、

前記第2の入力或いは前記第1の中間出力が前記期待された論理状態にない場合は常に前記第2の出力はハイインピーダンスとなり、また前記第2のメモリセルは十分な容量の接続コンデンサを有し、前記第2の出力が前記ハイインピーダンス状態にある間、前記第2の出力が前記論理状態に保持されることを特徴とする方法。

## 【 国際調査報告】

## INTERNATIONAL SEARCH REPORT

Int'l. Appl. No.  
PCT/US 97/06643

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 G11C5/00 H03K3/037

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 G11C H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	IBM TECHNICAL DISCLOSURE BULLETIN, vol. 30, no. 8, January 1988, page 248/249 XP000049766 "TWICE REDUNDANT RADIATION HARDENED LATCH" see the whole document ---	1-24
Y	US 5 406 513 A (CANARIS JOHN ET AL) 11 April 1995 see column 6, line 47 - column 8, line 38; figure 8 ---	1-24
A	US 5 504 703 A (BANSAL JAI P) 2 April 1996 see the whole document ---	1-24 -/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*V\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- \*&\* document member of the same patent family

Date of the actual completion of the international search

4 August 1997

Date of mailing of the international search report

18.08.1997

Name and mailing address of the ISA  
European Patent Office, P.B. 518 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 cpo nl.  
Fax: (+31-70) 340-3016

Authorized officer

Schenkels, P

## INTERNATIONAL SEARCH REPORT

Int'l Application No  
PCT/US 97/06643

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>IBM TECHNICAL DISCLOSURE BULLETIN, vol. 28, no. 8, January 1986, NEW YORK, US, pages 3577-3578, XP002036816 ANONYMOUS: "Dynamic Bipolar Random-Access Memory Design Immune to Upset by Alpha Particles" see the whole document</p> <p>---</p>	1,12,24
A	<p>1994 IEEE NUCLEAR AND SPACE RADIATION EFFECTS CONFERENCE (NSREC '94), TUCSON, AZ, USA, 18-22 JULY 1994, vol. 41, no. 6, pt.1, ISSN 0818-9499, IEEE TRANSACTIONS ON NUCLEAR SCIENCE, DEC. 1994, USA, pages 2179-2186, XP002036817 KATZ R ET AL: "SEU hardening of field programmable gate arrays (FPGAs) for space applications and device characterization" see page 2180, left-hand column, line 1 - line 33</p> <p>-----</p>	1,12,24

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Int'l Application No  
PCT/US 97/06643

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5406513 A	11-04-95	NONE	
US 5504703 A	02-04-96	NONE	

---

フロント ページの続き

(72)発明者 ハリス、デボラ・エス

アメリカ合衆国コロラド州80909・コロラ

ドスプリングズ・ウインストンロード

2113

(72)発明者 ガードナー、ハリー・エヌ

アメリカ合衆国コロラド州80919・コロラ

ドスプリングズ・バンデッドロックコート

1605

(72)発明者 バリー、マイケル・ジェイ

アメリカ合衆国オレゴン州97224・タイガ

ード・サウスウェストコロニープレイス

16025